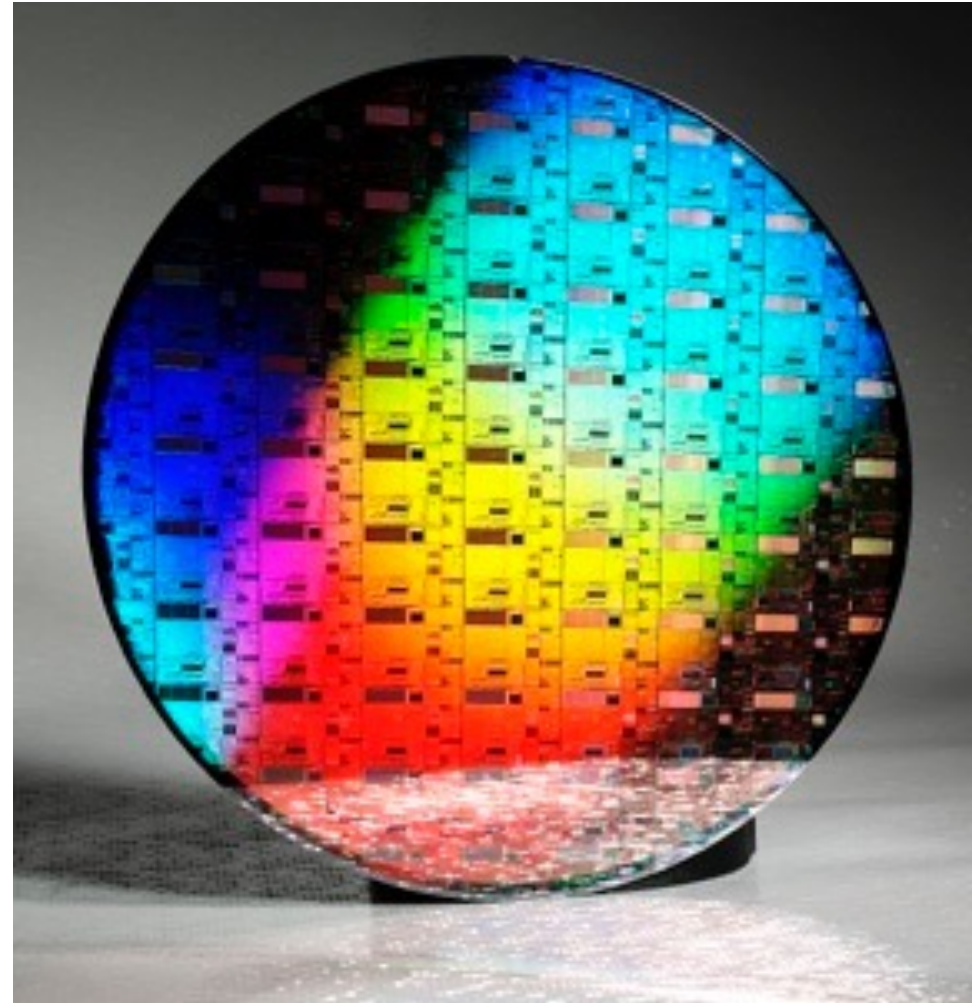


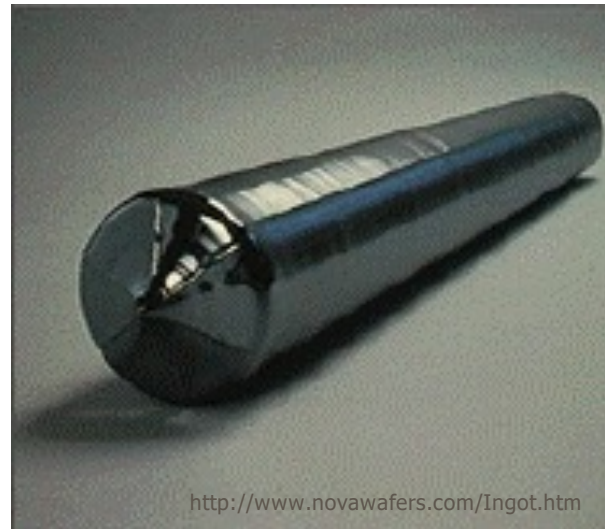
Technologie - Vom Silizium zum Chip

- Herstellung der Wafer
- Aufbringen von Material
- Oxidation
- Implantation
- Lithographie
- Ätzen



Herstellung der Wafer

1. Herstellung reinen Siliziums
2. Wachsen der Kristalle ('Ingots')
3. Sägen der Ingots
4. Schleifen und Polieren
5. Qualitätskontrolle
6. Evtl. Epitaxie

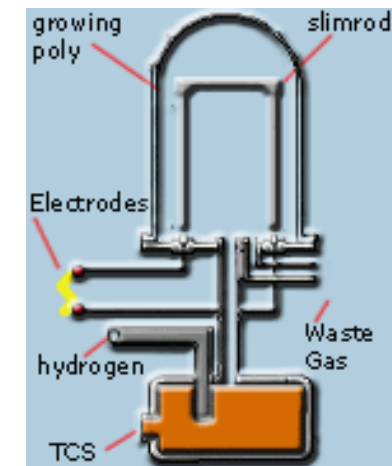
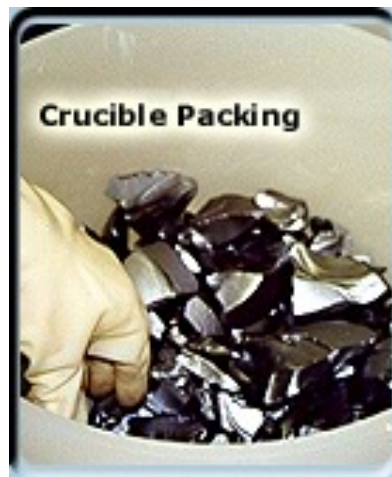


Herstellung reinen Siliziums

- Silizium muß extrem rein sein (99.9999999%)
- Bei Dotierung von 5×10^{15} und intrinsischer Atomdichte von 5×10^{22} : 1 Dotierungsatom **pro 10^7** Si-Atome

Herstellung:

1. Quarz = SiO_2 wird bei $1500\text{-}2000^\circ\text{C}$ reduziert \Rightarrow (unreines) Si
2. Si wird in Salzsäure aufgelöst: $\text{Si} + 3\text{HCl} \Rightarrow \text{H}_2 + \text{SiHCl}_3$ (Tri-Chlor-**Silan**, TCS).
Ist schon wesentlich reiner, da sich manche Stoffe nicht in HCL lösen
3. Fraktionierte Destillation von TCS bei $\sim 31.8^\circ\text{C} \Rightarrow$ 'hyper-pure TCS' ($< 1\text{ppb}$)
4. Vermischung mit Wasserstoff und Ablagerung von reinem Si auf 1100°C heißen Oberfläche
5. Zerschneiden der Kruste, Reinigung der Oberfläche durch ätzen.



Webseite bei Wacker, dem weltgrößten(?) Waferhersteller:

'How to make Silicon', www.wafernet.com/PresWK/h-ptl-as3_wsc_siltronic_com_pages_training_pages_Silicon_Index.htm

Kristallgitter

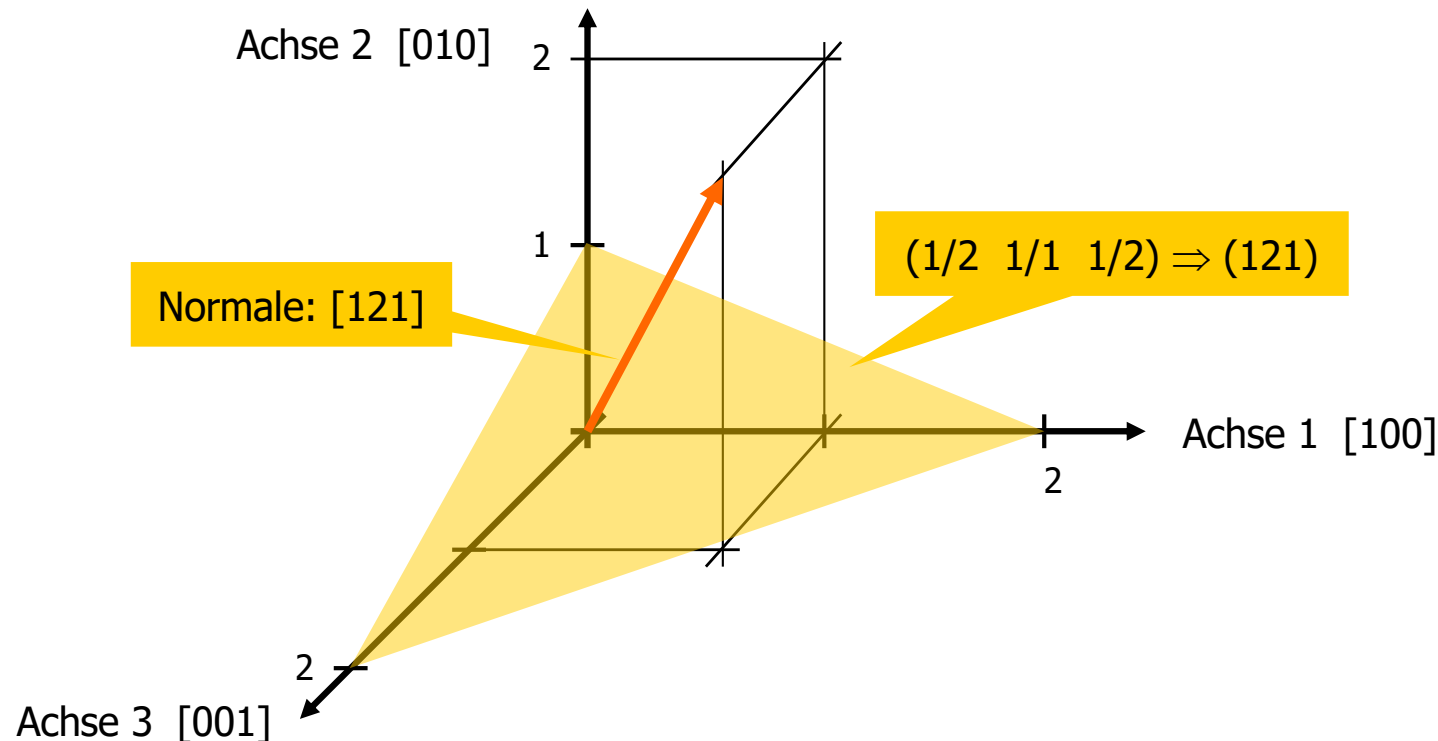
- Beispiel Kochsalz (kubisch):



- Neue Atome lagern sich ungern auf einer fertigen Fläche an, lieber an einer Kante
Dadurch entsteht automatisch eine Form, die die Kristallebenen zeigt!

Kristallorientierung – Miller Indizes

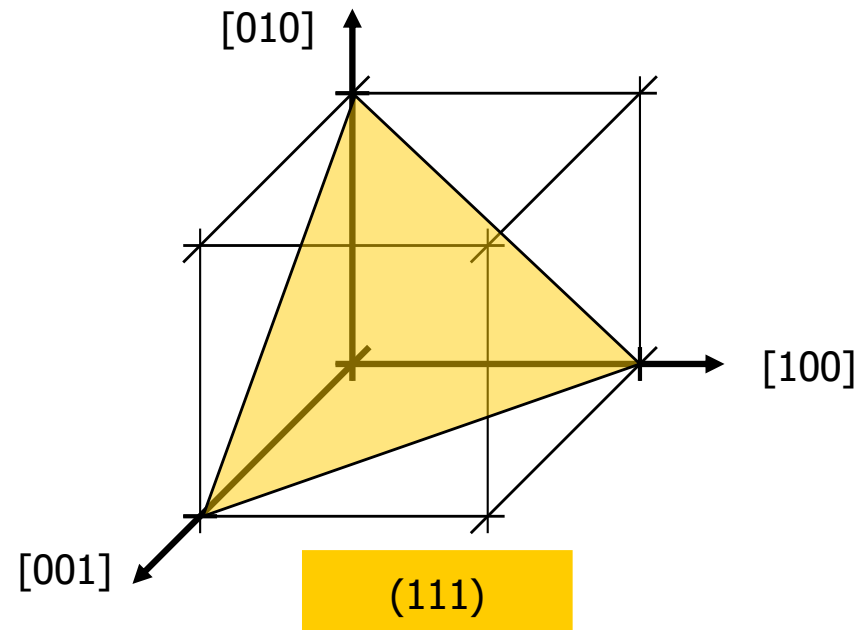
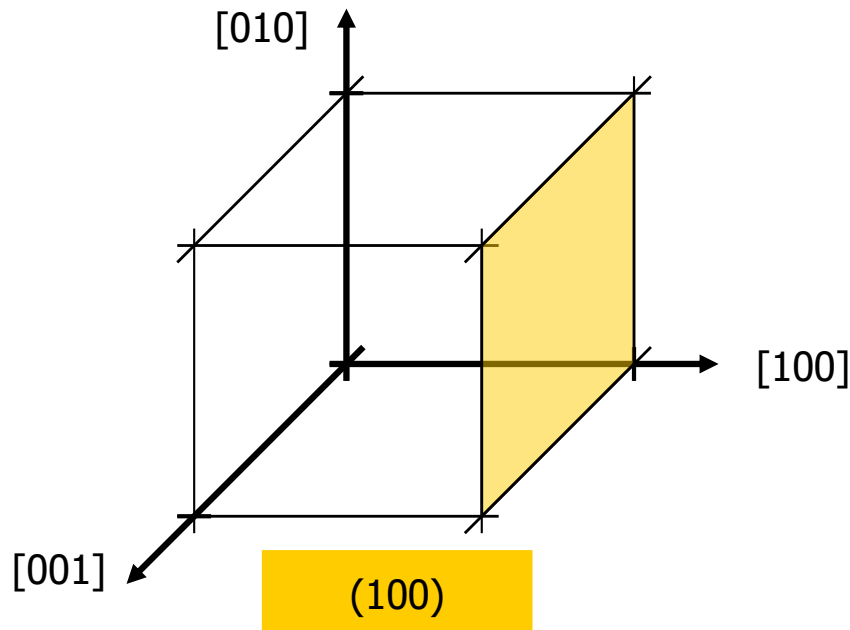
- Der Silizium-Kristall wird später in Scheiben (Wafer) geschnitten. Die Schnittrichtung beeinflusst viele Eigenschaften (Mobilität, chemisches Verhalten, Verhalten beim Ätzen, Oberflächenladungen)
- Die Ausrichtung der Schnittebene im Kristallgitter wird mit den **Miller-Indizes** beschrieben



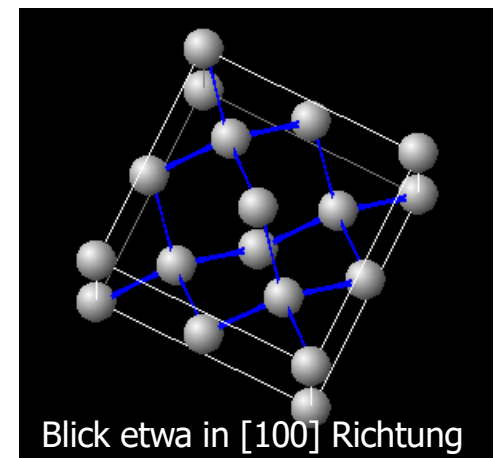
- **Richtungen** (Vektoren) werden durch die Angabe der 3 Koordinaten festgelegt. Achse1: [100], ...
- **Ebenen** werden durch die **Richtung des Normalenvektors** festgelegt.
Die drei Zahlenwerte werden auf das kleinste gemeinsame Vielfache erweitert und in () gesetzt
Die Werte kann man auch aus den **Achsenabschnitten** s_i der Ebene ablesen und $(1/s_1 \ 1/s_2 \ 1/s_3)$ bilden

Die Ebenen (100) und (111)

- Die häufigsten Schnittrichtungen in der Si-Technologie sind (100) (für MOS) und (111) (für bipolar)

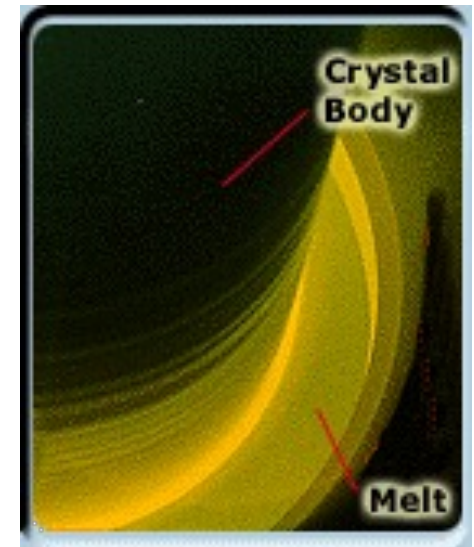
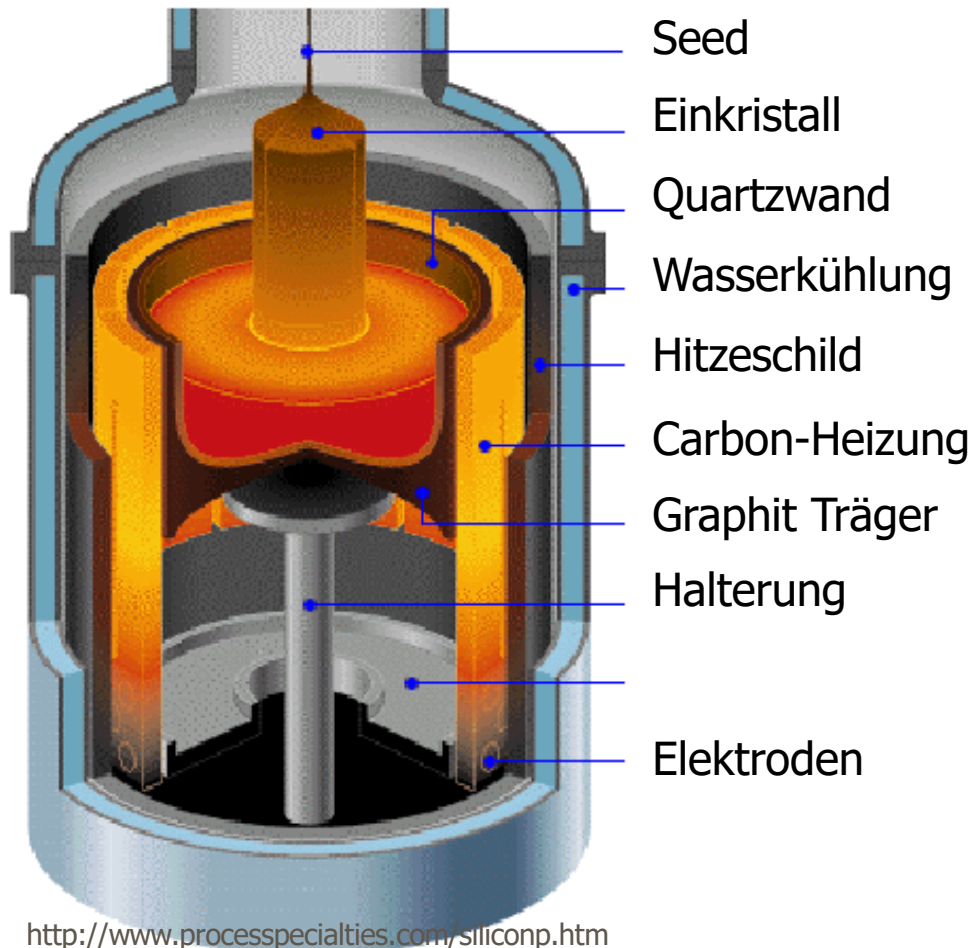


- In (111) Richtung ragt nur je 1 Bindung pro Si-Atom aus der Schnittfläche heraus.
- Siehe z.B. Applet unter <http://jas2.eng.buffalo.edu/applets/education/solid/unitCell/home.html>



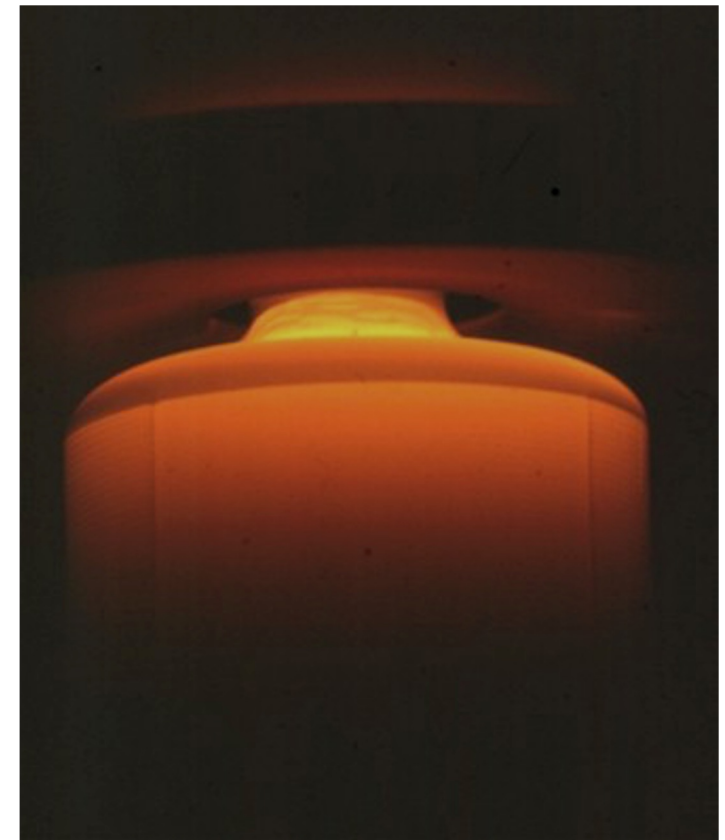
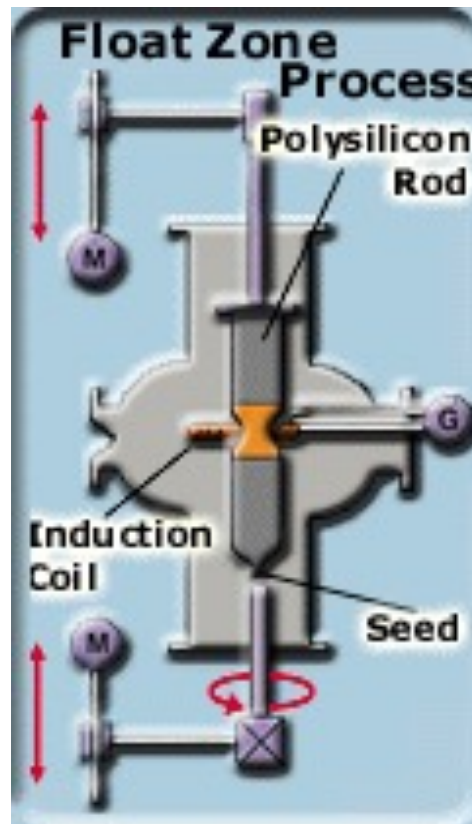
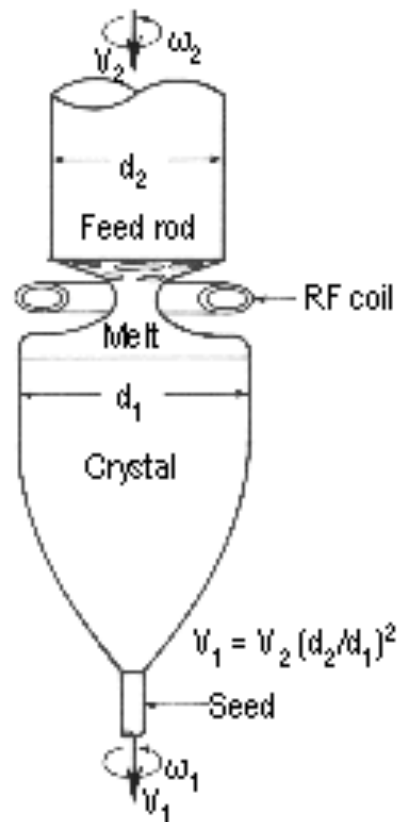
Kristallwachstum – Czochralski (CZ)

- Si wird in Quarztiegel bei 1140°C geschmolzen
- Start mit kleinem 'seed' (Samen) – Kristall. Kristallorientierung wird durch Ausrichtung des Seeds festgelegt.
- Kristallstab wird langsam unter Drehen herausgezogen. Neuer Kristall wächst an der Unterseite hinzu.
- Die Schmelze kann p- (Bor) oder n- dotiert (Phosphor) werden



Kristallwachstum – Float Zone (FZ)

- Fertiger Si-Stab wird **mit Ringheizer lokal geschmolzen** (Induktionsofen)
 - Der Kristall wird langsam nach unten gezogen und rekristallisiert hinter der Heizzone.
 - Verunreinigungen verbleiben zum Großteil in der Schmelze und werden so 'ausgespült'.
- + Bessere Reinheit, weniger Mikro-Defekte.
– Teurer, da Primärer 'Rod' benötigt wird



Vergleich Czochralski - Floatzone

Methode	CZ	FZ
Wachstumsgeschwindigkeit (mm/min)	1 to 2	3 to 5
Kosten Verbrauchsmaterial	hoch	niedrig
Heiz/Kühlzeit	lang	kurz
Gleichförmigkeit Widerstand	schlecht	gut
Sauerstoffgehalt (Atome/cm ³)	>1x10 ¹⁸	<1x10 ¹⁶
Kohlenstoffgehalt (Atome/cm ³)	>1x10 ¹⁷	<1x10 ¹⁶
Metall Verunreinigungen	mehr	weniger
Lebensdauer der Minoritätsträger (μs)	5-100	1,000-20,000
Durchmesser (mm)	150-200	100-150
Erforderliches Know-How	wenig	viel
Form des Ausgangsmaterials	beliebig	Fehlerfreier Kristallstab
Kosten		~ 2 x mehr

Material/Energie-Verbrauch pro kg Silizium: 1 Kubikmeter Argon , 50kWh Strom

Ergebnis: Ingots



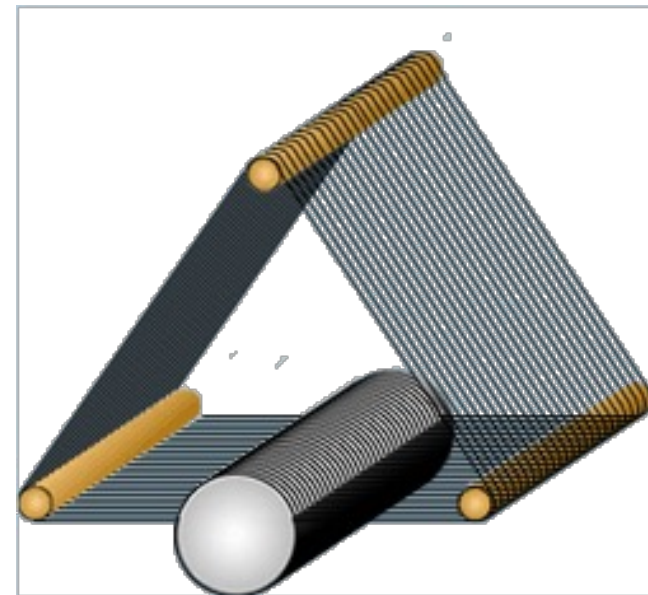
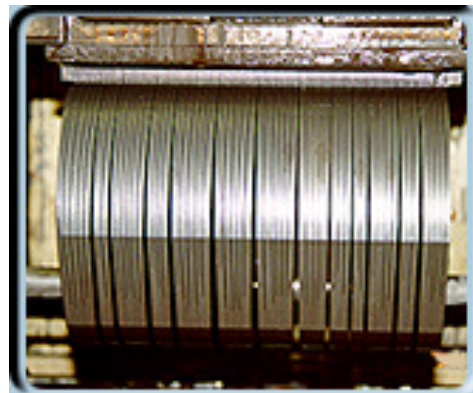
Der gesamte Kristall hängt an diesem dünnen Anfangsteil !



Fräsen und Sägen



- Die Ingots werden zunächst auf den richtigen Durchmesser gefräst.
- Zum Sägen wird ein sehr langer, dünner Draht mehrfach durch den Kristall gezogen. ('wire-saw')
- Der Verschnitt ist nur einige 10 μ m dick!



For Fun: Seilsäge für Steine

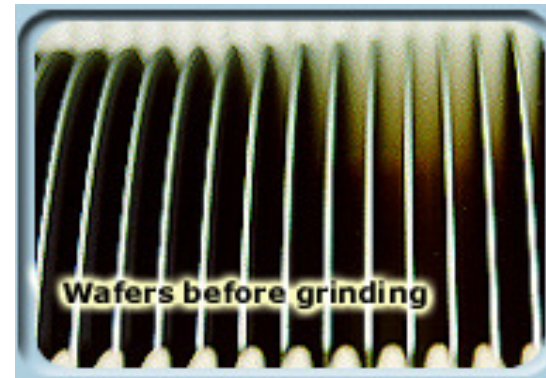
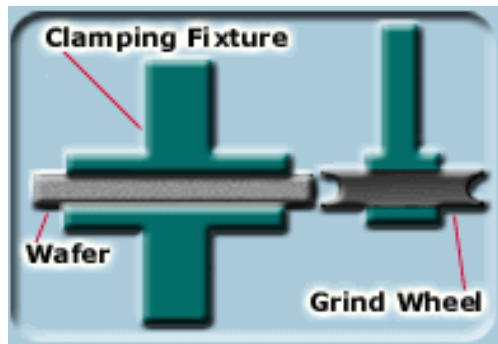


Werbeposter im Flughafen Pisa



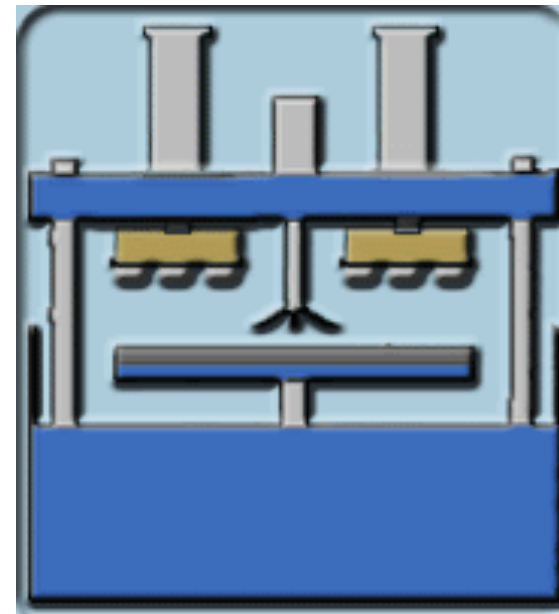
Bearbeiten der Kanten

- Die Kanten der Wafer werden abgerundet, damit später kein Material absplittern kann
- Runde Kanten sind auch wichtig, damit die Wulst des Photolacks beim Aufschleudern klein bleibt.



Schleifen, Ätzen und Polieren

- Wafer werden mechanisch (grob) geschliffen ('lapping')
- Die Oberfläche wird geätzt, um die mechanisch verletzte Oberflächenschicht zu entfernen
- Die Kanten werden dann waferweise poliert (damit bei den späteren Prozess-Schritten z.B. kein Lack hängenbleibt)
- Das **Polieren** erfolgt unter gleichzeitigem Ätzen (z.B. mit verdünnter Flußsäure) bis die Oberfläche **atomar plan** ist.



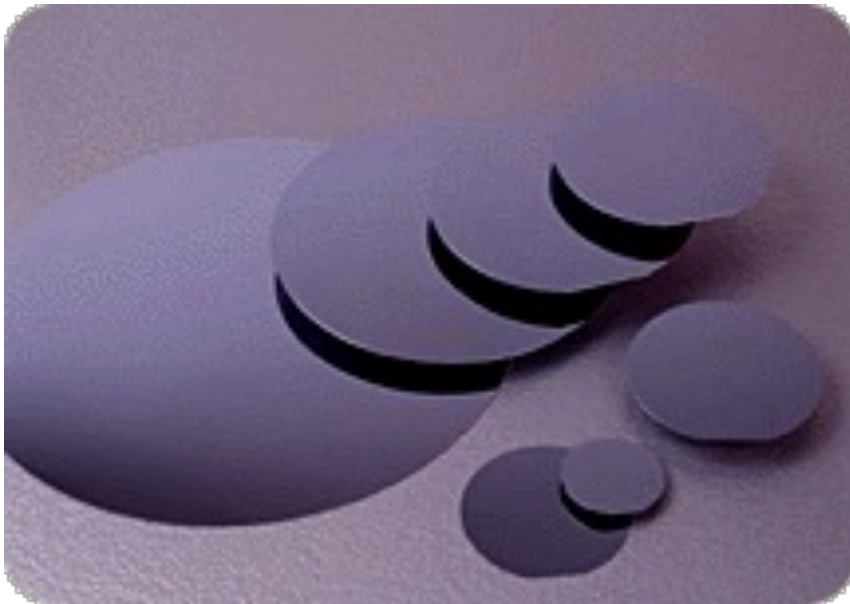
Schleifen von Wafern



Wafergrößen

- Waferdurchmesser wurden in Inch (1" = 2.54 cm) angegeben, inzwischen (ab 4") in mm
- Bis ~90nm Tchnologie: D = 20cm
- Darunter: D=30cm - 'Pizza Wafer', s.rechts
- Andere Materialien auf kleineren Wafern
- Zur mechanischen Stabilität müssen große Wafer dicker sein
- Typische Dicken

Durchmesser[mm]	2"	100 (4")	125	200	300
Dicke [μm]	275	525	675	725	775
Toleranz [μm]	25	20	20	20	2



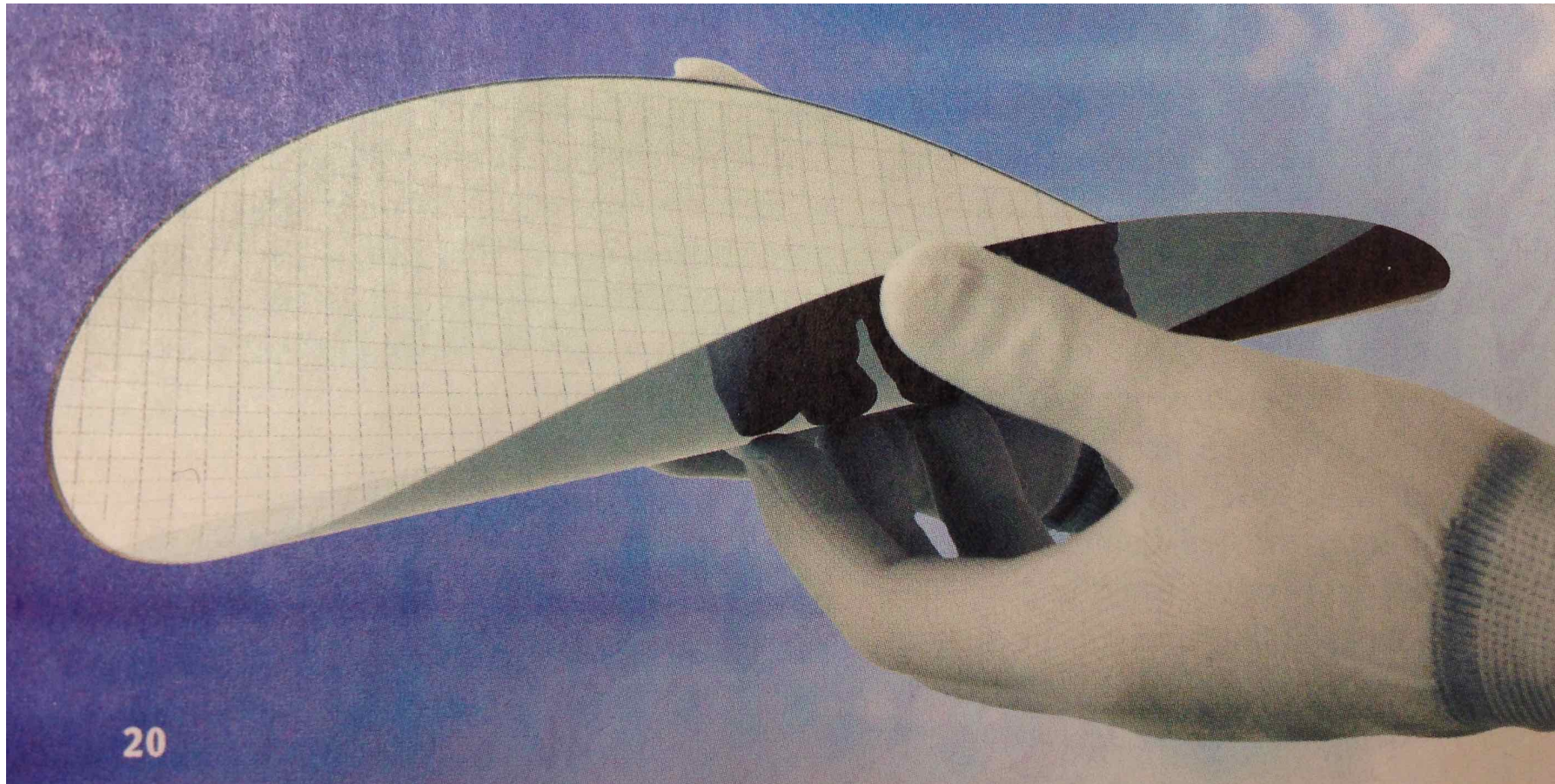
www.addisonengineering.com/HTML/silicon-wafers.html



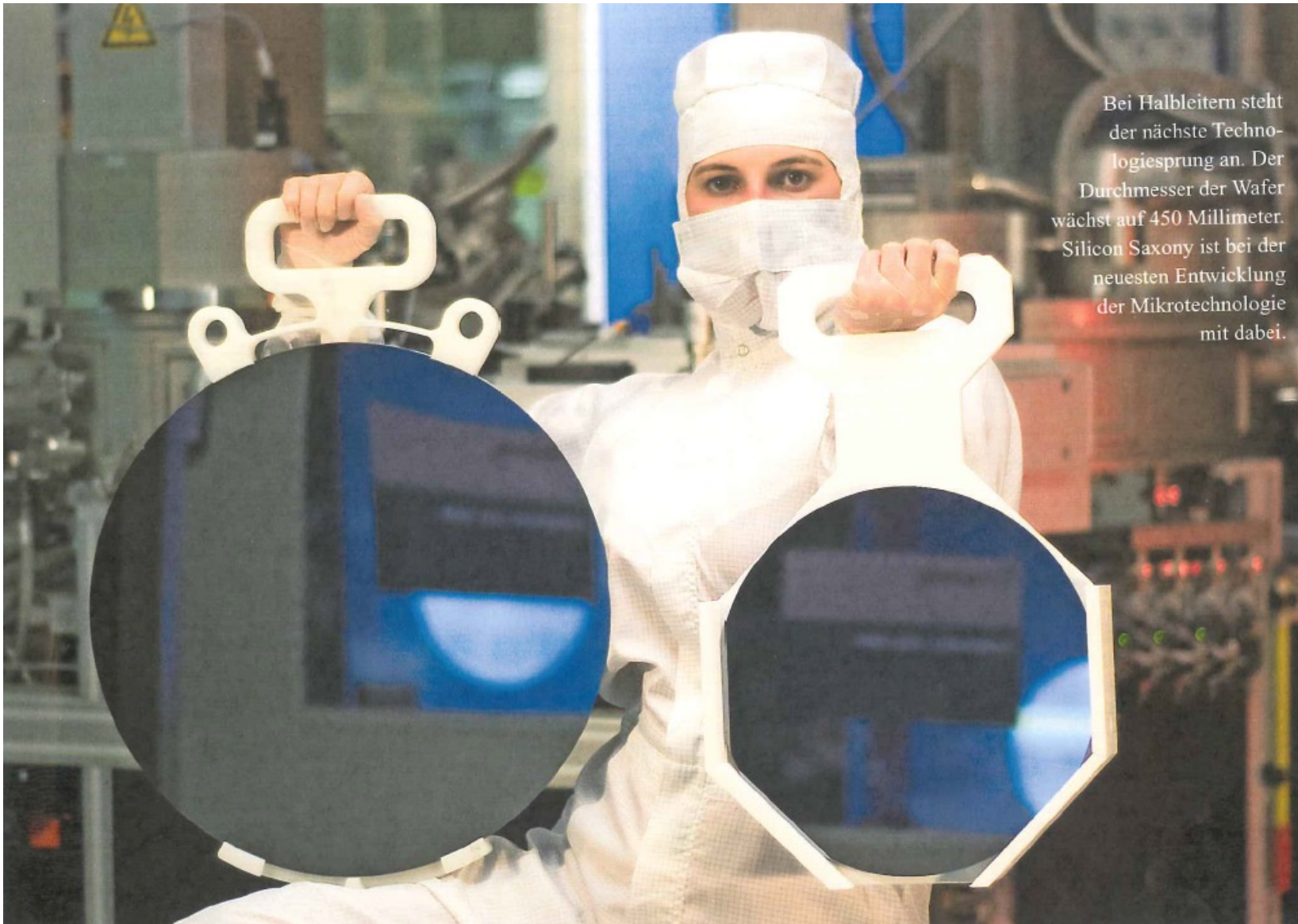
www.sematech.org/public/news/gallery.htm

Waferdicke

- NACH der Produktion der Chips werden die Wafer meist gedünnt (50-100 μ m), um
 - die Kühlung (von unten) zu verbessern
 - mechanische Spannungen zu reduzieren (bei Temperaturgradienten)
 - die Einbauhöhe zu verringern (z.B. in Chip-Karten)
- Die Wafer werden dann sogar biegsam:



Neuste Wafergeneration: 450 mm (!)



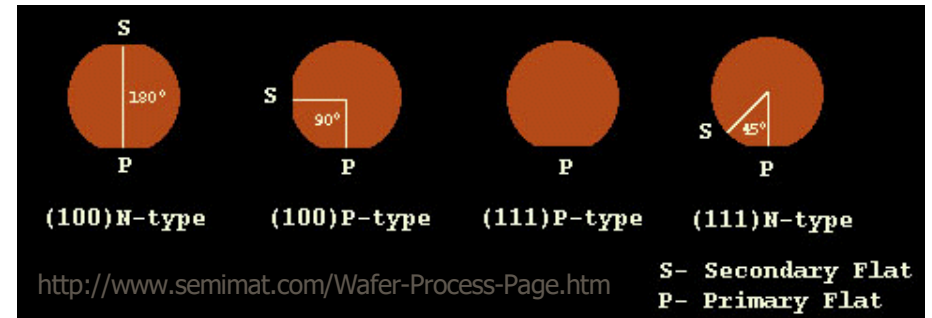
Bei Halbleitern steht der nächste Technologiesprung an. Der Durchmesser der Wafer wächst auf 450 Millimeter. Silicon Saxony ist bei der neuesten Entwicklung der Mikrotechnologie mit dabei.

Aus einer Werbebroschüre des Landes Sachsen

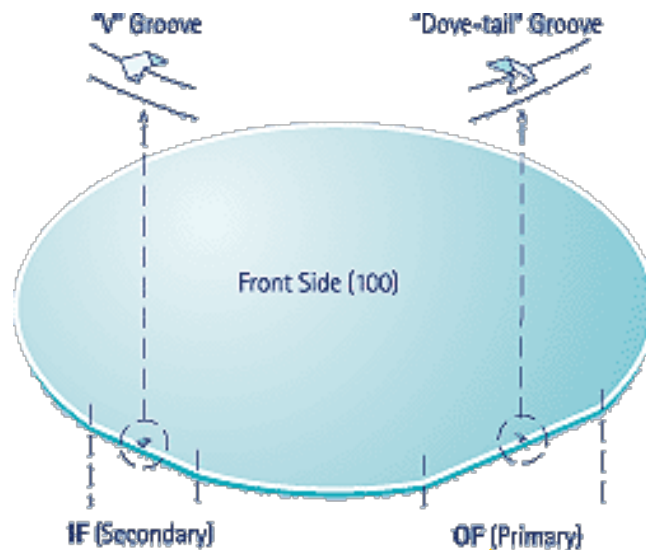
Wafer Flat

- Dotierung und Kristallrichtung werden über flache Seiten ('flats') markiert. Oft gibt es ein großes (primary, major) und ein kleines (secondary, minor) flat.

- Winkel (major flat, minor flat) = 180 Grad: N-Typ $\langle 100 \rangle$
- Winkel (major flat, minor flat) = 90 Grad: P-Typ $\langle 100 \rangle$
- Winkel (major flat, minor flat) = 45 Grad: N-Typ $\langle 111 \rangle$
- Kein minor flat: P-Typ $\langle 111 \rangle$

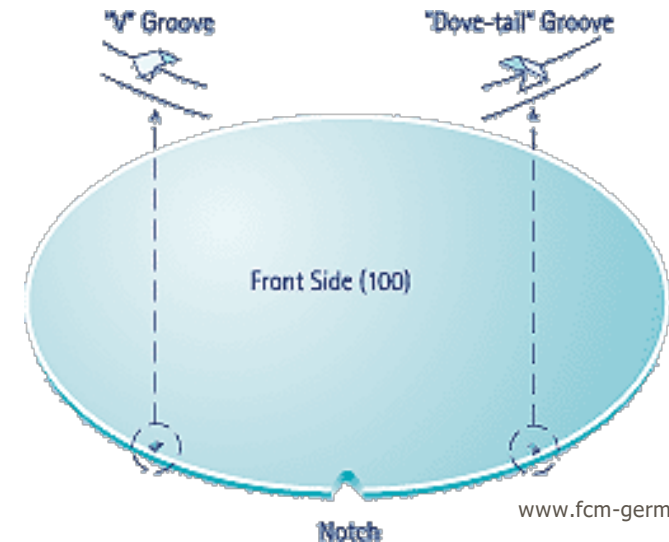


- Bei großen Wafern wird oft eine Kerbe benutzt (spart Fläche, stört Prozeßschritte weniger)
- Inzwischen auch oft Laserbeschriftung (Seriennummer) auf der Unterseite.



Secondary (Minor) flat

Primary (Major) flat



www.fcm-germany.com

Variante mit Kerbe (Notch)

Epitaxie

- Auf den sehr sauberen Wafer können weitere Si-Atomschichten aufgedampft werden (wenige μm)
- Nützlich um **schwach dotierte Lage auf stark dotiertes Substrat** zu bringen, z.B. n- mit 10^{15} auf Substrat mit 10^{20} .
- Stark dotiertes ('dreckiges') Substrat
 - **hat niedrigen Widerstand** (vorteilhaft zur guten 'Erdung', geringere Gefahr von Latchup)
 - ist **billiger**
- Epi-Schicht kann **sehr rein** sein
- Abscheidung von Si muß bei hohen Temperaturen (950-1150°C) erfolgen
- Auch sehr wichtig zur Herstellung von Halbleiter-Schichtsystemen (LEDs, Laser, ...)

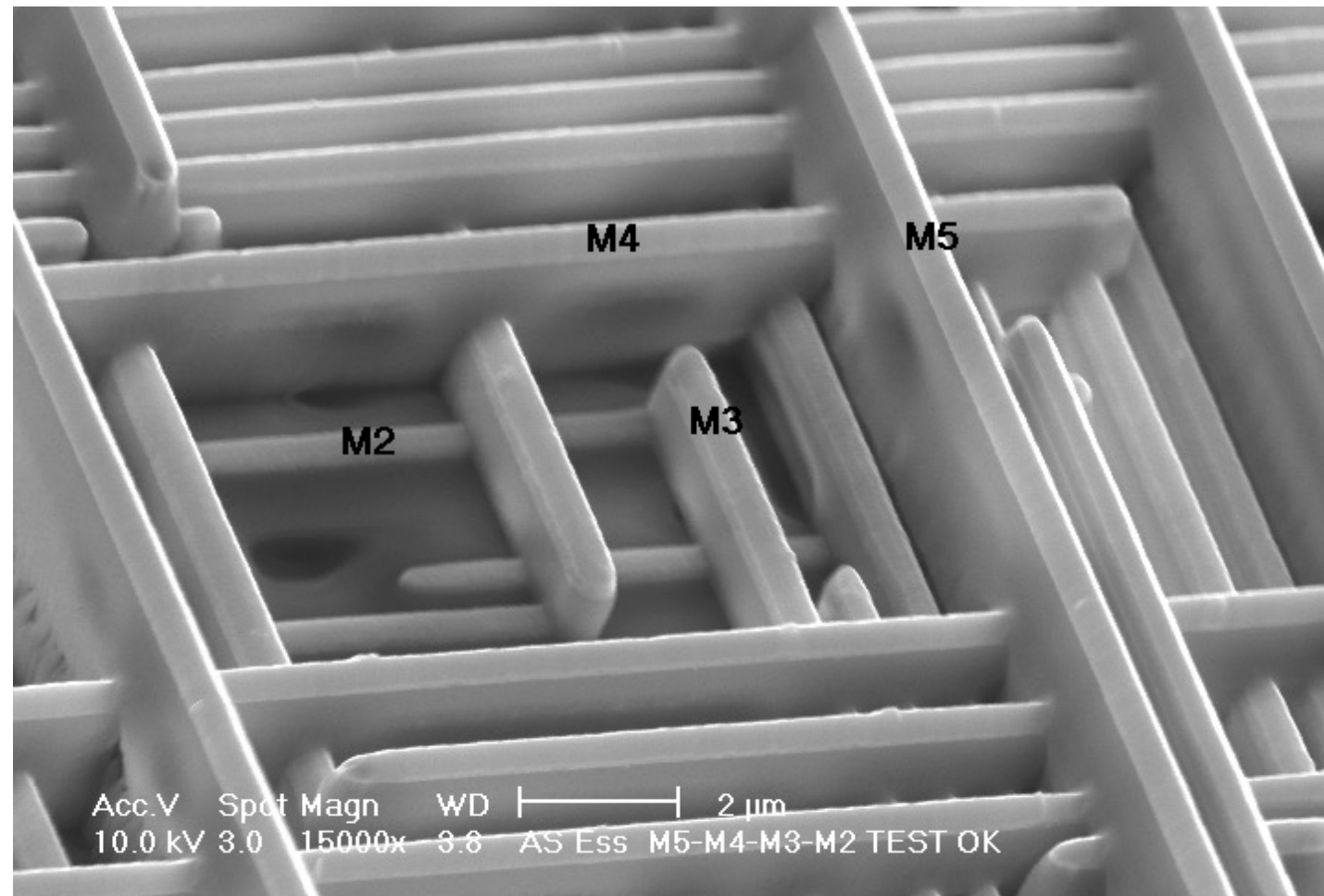
- Kosten: 200 mm Si Wafer: \$80 = 0.25\$ / cm^2 , Epi-Wafer: \$140 = 0.44\$ / cm^2

Dünne Epitaxie – Schicht (wenige μm dick)

'Support' – Wafer mit niedriger Qualität, niedriger Widerstand



Elementare Technologieschritte

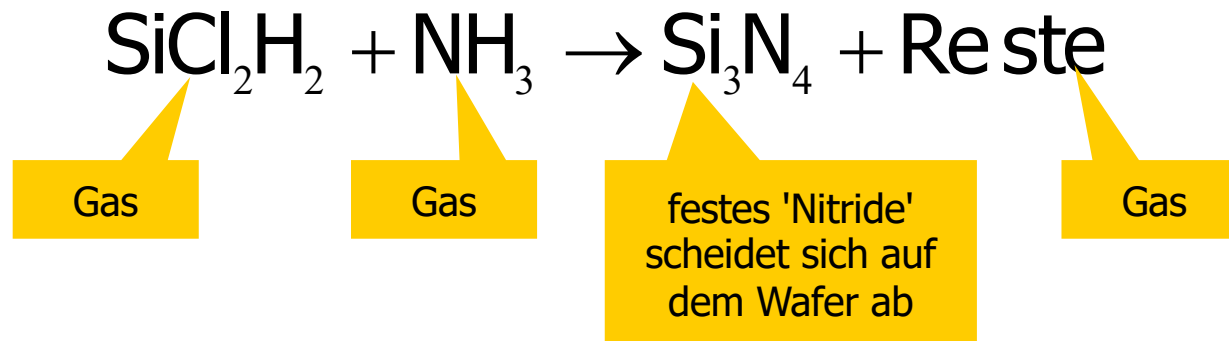


Aufbringen von Material

Zum Aufbringen von Aluminium, Wolfram, Kupfer, Silizium, Si_3N_4 ('Nitride') gibt es 3 wichtige Verfahren:

- **Verdampfung** des Materials (bei Al über 700°C , bei Si noch höher), poly-kristalline Ablagerung auf dem kaltem (Zimmertemp) Wafer
- **Sputtering**: Material wird mit Ionen (z.B. Ar mit keV Energie) beschossen, so daß Atome herausgeschlagen werden. Die Temperatur kann daher niedriger sein (z.B. Al @ $<300^\circ\text{C}$)
- **CVD** (chemical vapor deposition): Chemisches Aufbrechen oder Entstehen einer Verbindung an der heißen Waferoberfläche

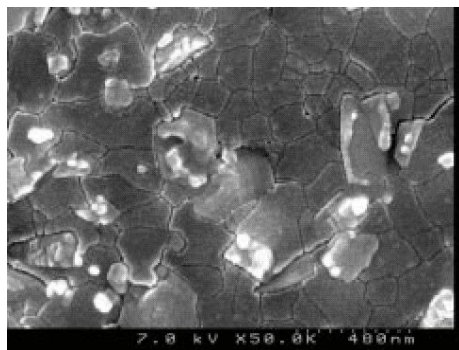
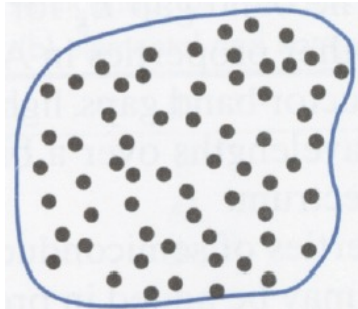
z.B. Si_3N_4 bei $300\text{-}600^\circ\text{C}$:



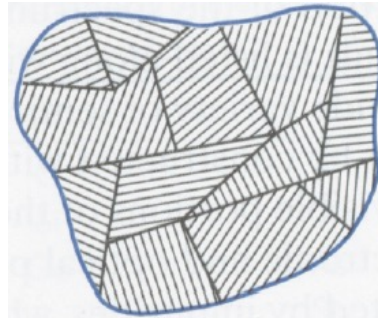
Polykristalines Silizium (kurz: 'Poly')

- Beim schnellen Aufwachsen bilden sich nur kleine Regionen mit dem 'richtigen' Kristallgitter
- Die einzelnen Regionen sind zufällig orientiert
- Dieses 'Poly'-(Silizium) ist ein wichtiges Material in den untersten Chip-Schichten (Gates!)
- Poly-Si wird meist dotiert um dem Widerstand zu reduzieren (RC-Zeitkonstanten!)

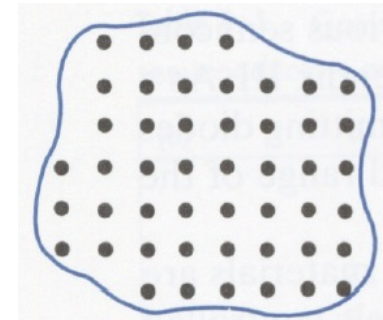
amorph



poly-kristallin



Einkristall



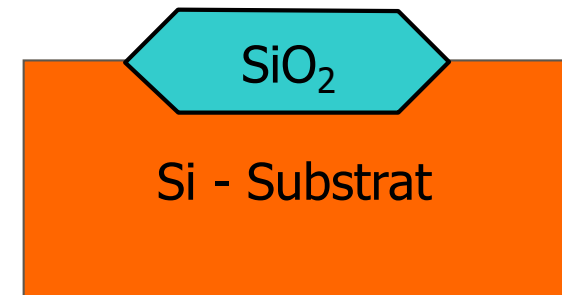
Erzeugung von SiO₂ Schichten

- Durch 'Thermische Oxidation'. Es gibt zwei wichtige Verfahren, beide bei sehr hoher Temperatur:

- 'trocken' (dry): $\text{Si} + \text{O}_2 \Rightarrow \text{SiO}_2$
Gut für dünnes Oxid (Gate)
langsam: z.B. bei 1000°C: 50nm/h

- 'naß' (wet): $\text{Si} + 2 \text{H}_2\text{O} \Rightarrow \text{SiO}_2 + 2 \text{H}_2$
Dickes Oxid (Feldoxid)
schneller

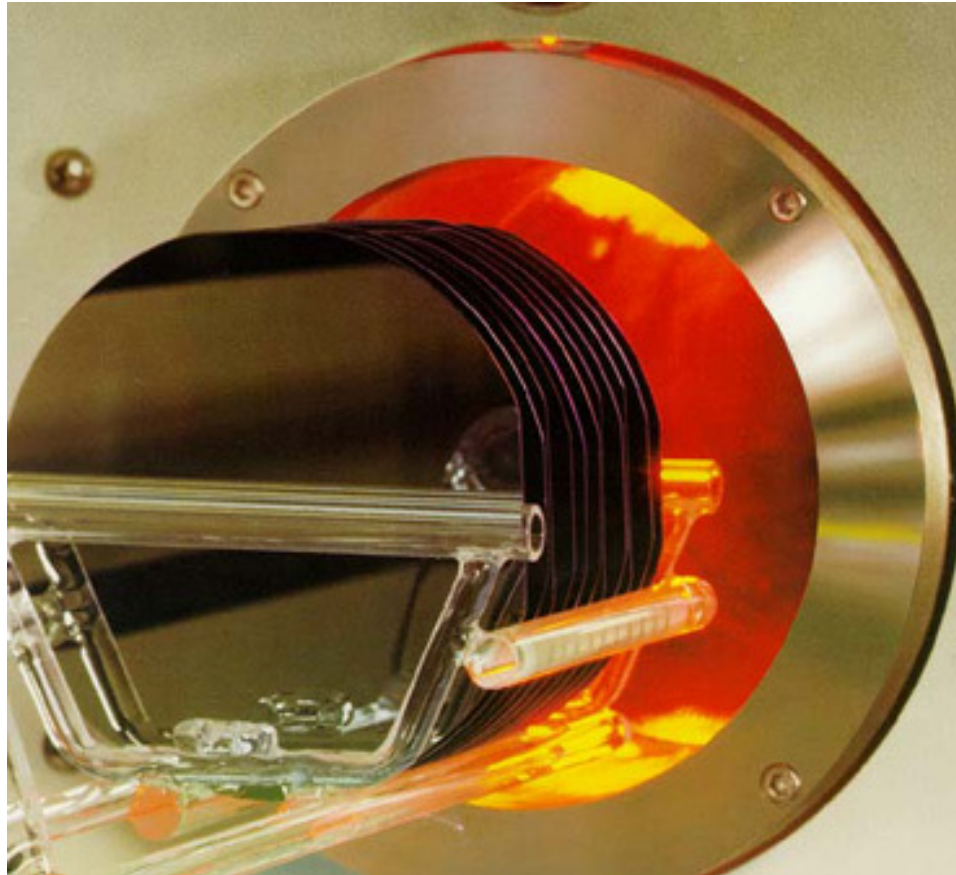
- Das Oxid wächst z.T. ins Silizium ein:
1µm gebildetes SiO₂ verbraucht 0.46µm Si
1µm Si ⇒ 2.17µm SiO₂



- Der Sauerstoff muß durch die bereits gebildete SiO₂ Schicht diffundieren!
Daher wird das Wachstum immer langsamer.
Der Dickenzuwachs ist erst proportional zu t, dann prop. zu \sqrt{t}
- Wachstumsrate hängt von vielen Faktoren ab (Druck, Dotierung, Kristallorientierung,...)
- Eigenschaften SiO₂:
 - Dichte (therm. SiO₂) = 2.2 gcm⁻³ (Quartz: 2.65 gcm⁻³)
 - E_{gap} = 9 eV: sehr guter Isolator
 - Durchbruchfeldstärke > 10MVcm !
 - Gutes Si-SiO₂ Interface
 - Gute Diffusionsmaske für die meisten Materialien
 - Sehr gute Ätz-Selektivität zwischen SiO₂ und Si (z.B. von HF = Flusssäure)

Thermische Oxidation

- Quartz-'Schiffchen' wird in Oxidationsofen geschoben



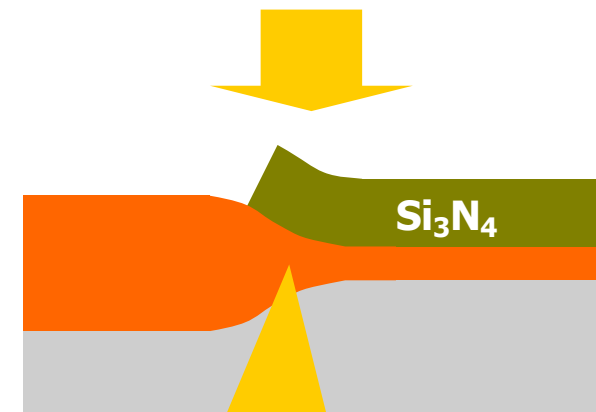
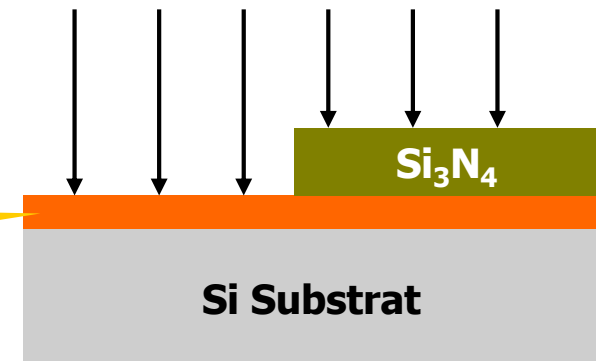
www.leb.e-technik.uni-erlangen.de/lehre/mm/html/oxidation.htm

LOCOS

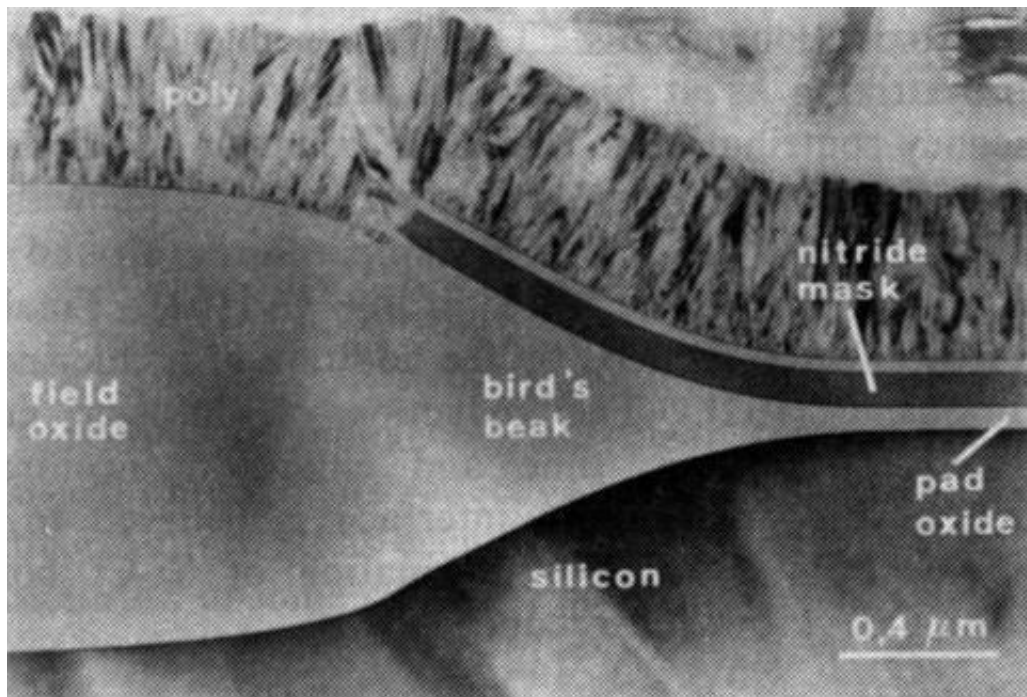
- **LOCAL Oxidation of Silicon:**
Oxidbildung nur an Stellen, die nicht von einer Si_3N_4 Lage abgedeckt sind.
- Zum Spannungsabbau des Si_3N_4
- Zur Isolation der Transistoren
- Minimale Strukturgröße begrenzt u.A. durch 'bird's beak'
- LOCOS nicht geeignet für kleine Strukturgrößen

Gate Oxid (SiO_2)

Oxidation mit $\text{O}_2, \text{H}_2\text{O}$



Bird's beak:
Oxid dringt unter Nitride ein.



Lithographie: Prinzip

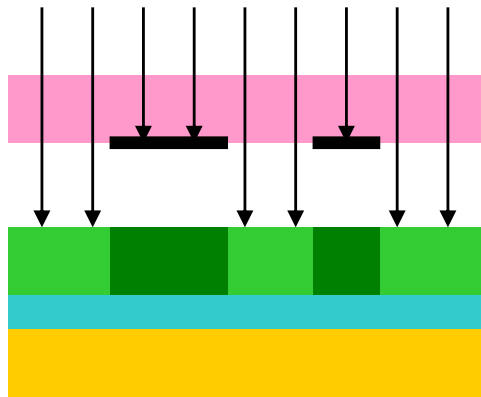
- Wichtiger Schritt zur Festlegung der Struktur



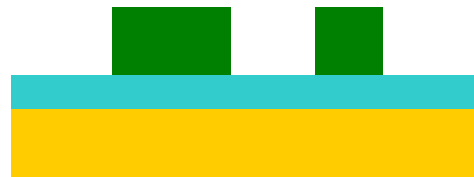
1. Wafer mit Materialschicht



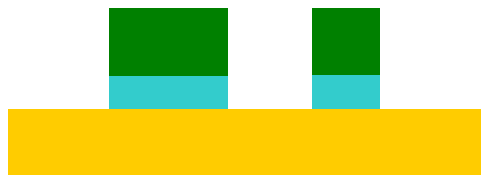
2. Beschichtung mit Lack,
Trocknen



3. Belichtung durch Maske



4. Entwickeln und Ablösen
des belichteten Lacks



5. Ätzen des Materials



6. Entfernen des Lacks

- Trocknen ('dehydration bake')
- 'Adhesion Promotor' aufbringen



- Lack aufbringen ('Spin-On')
- Vortrocknen ('Soft-Bake')



- Alignieren
- Belichten ('Exposure')



- Trocknen ('Post-Bake')
- Entwickeln ('develop')
- Trocknen (Hard-Bake')



- Prozeßschritt



- Entfernen des Lacks ('ashing')

Lack

- Lack wird aufgeschleudert ('Spin-On')
- Typische Dauer: 15-30 Sec bei 3000-6000 U/min
- Dicke wird hauptsächlich festgelegt über Umdrehungsgeschwindigkeit und Viskosität des Lacks
- Typische Lackdicke: 1-2 μm

- Problem: Wulst von überschüssigem Lack am Rand des Wafers
 - runde Kante an den Wafern reduziert die Wulst
 - Ein Lösungsmittel kann aufgeschleudert werden, daß dann hauptsächlich die Wulst anlöst.

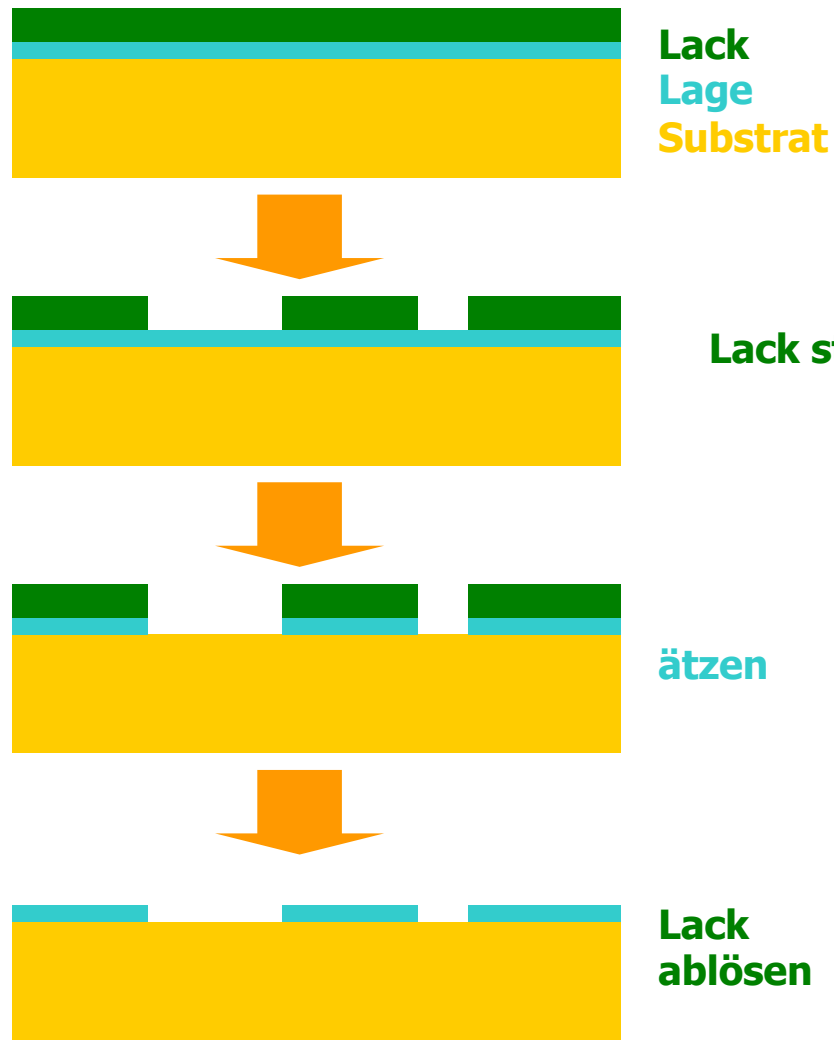
- Lack wird normalerweise vor der Lithographie leicht getrocknet ('soft bake'), dann nach der Belichtung stark getrocknet ('hard bake')

- Zur Entfernung wird der Lack oft bei hoher Temperatur verbrannt ('ashing')

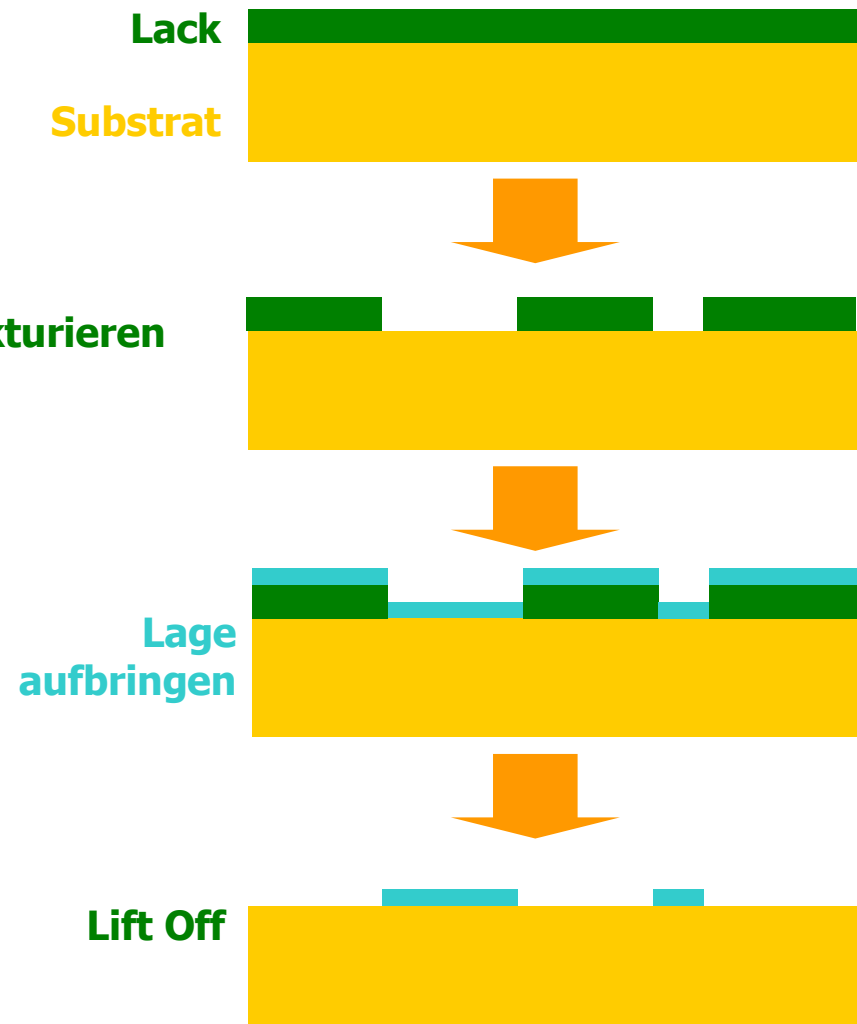
Etch-back und Lift-Off

- Zwei wichtige Techniken: (Etch-back ist Standard, Lift-Off z.B. bei Indium Bumping)

Etch-Back: Lack=Ätzmaske

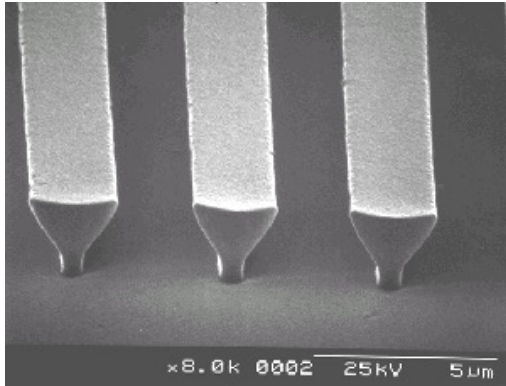


Lift-Off: Lack schützt Substrat



Zusatz: Lift-Off

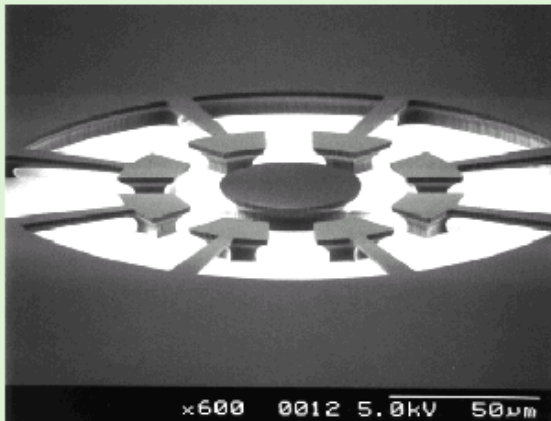
- Hauptsächlich für (Indium) bumps und andere 'grobe' Strukturen
- Eines der Hauptprobleme ist es, den Photolack so abziehen, daß die Strukturen nicht mit abreißen. Der Lack muß deshalb vor dem Aufdampfen 'unterhöhlt' werden.



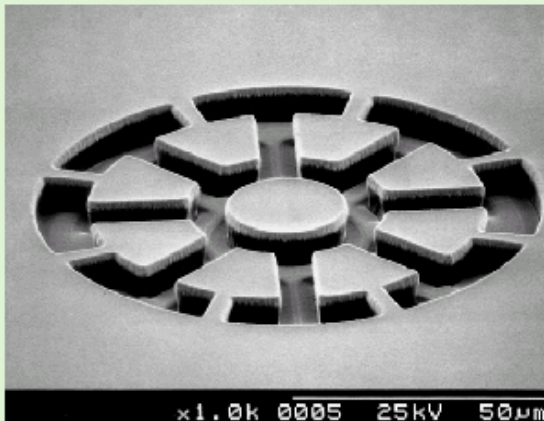
spezieller Lack



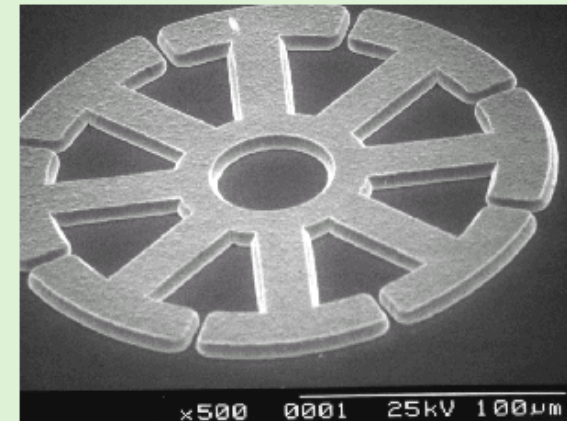
Alternative Methode:
Zwei Lagen Lack, die sich beim
Entwickeln unterschiedlich stark lösen



Resist thickness: 9 µm



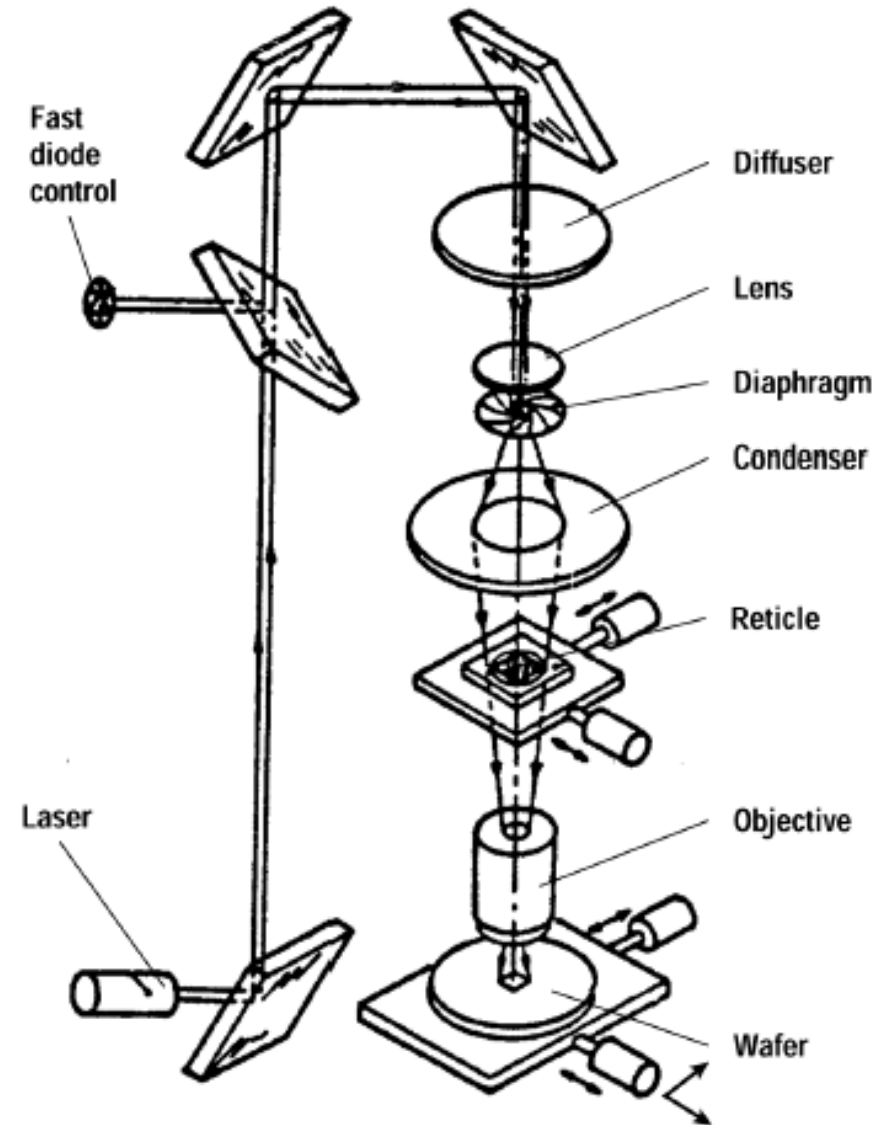
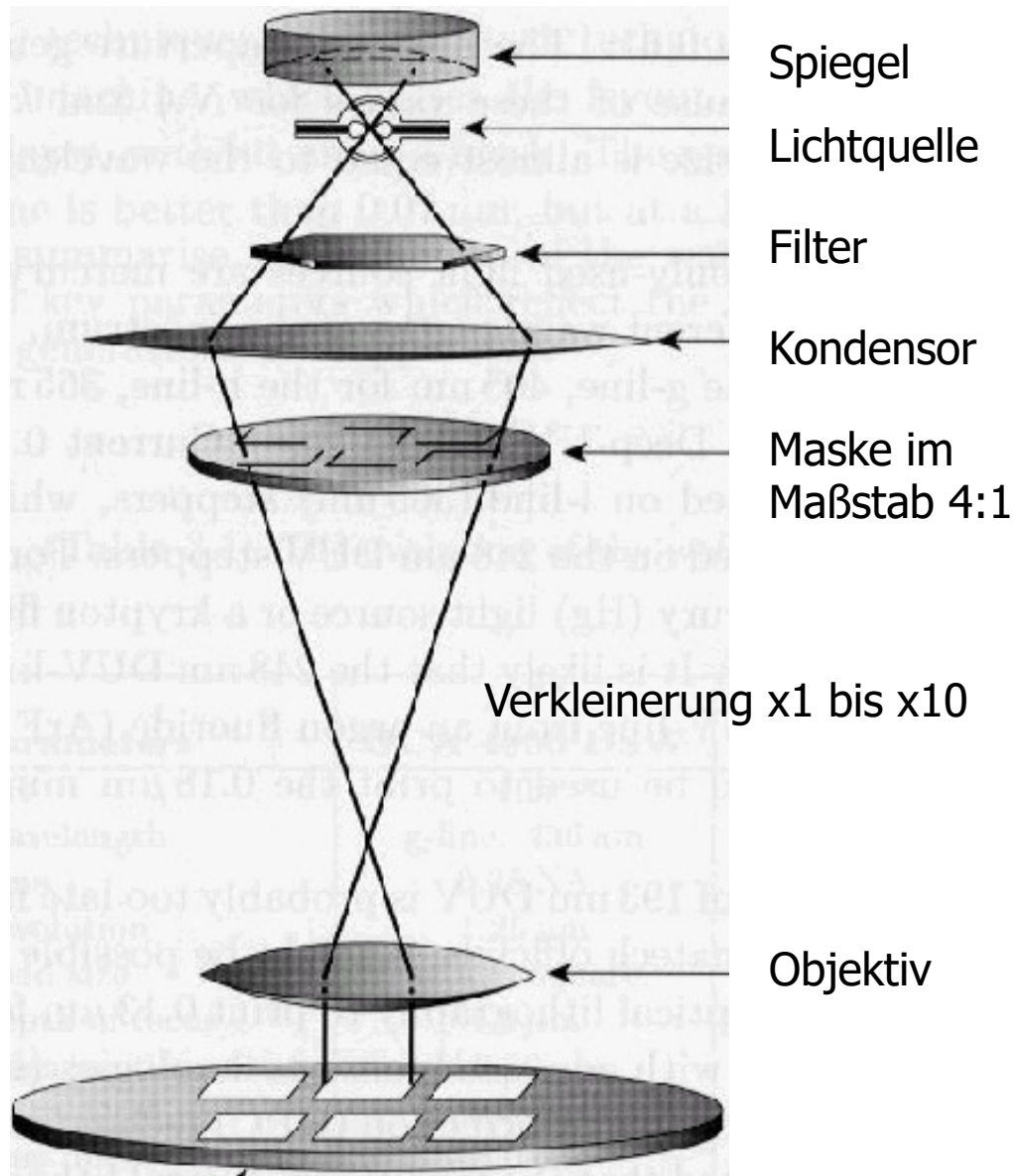
Deposited silver on a resist pattern



Deposited silver

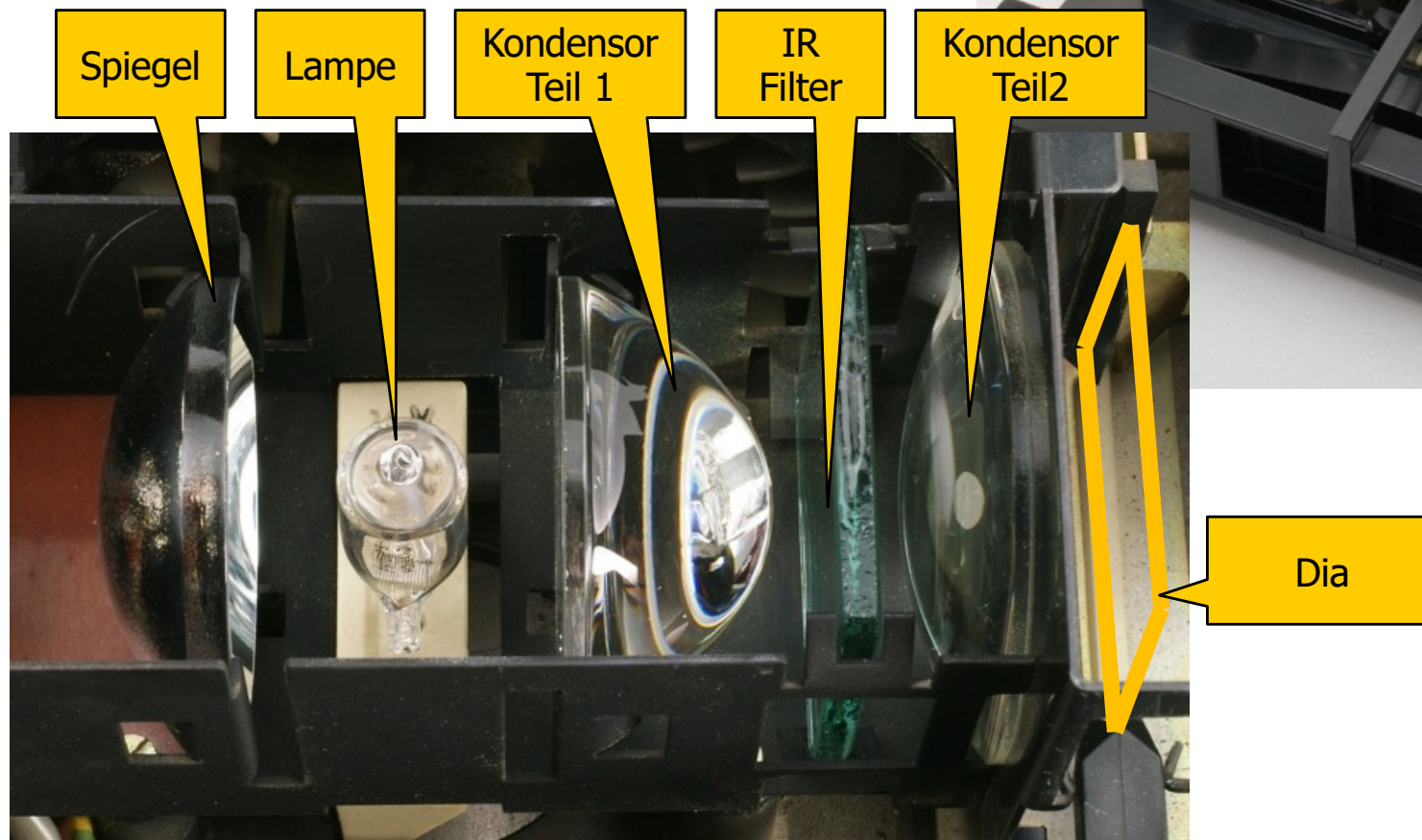
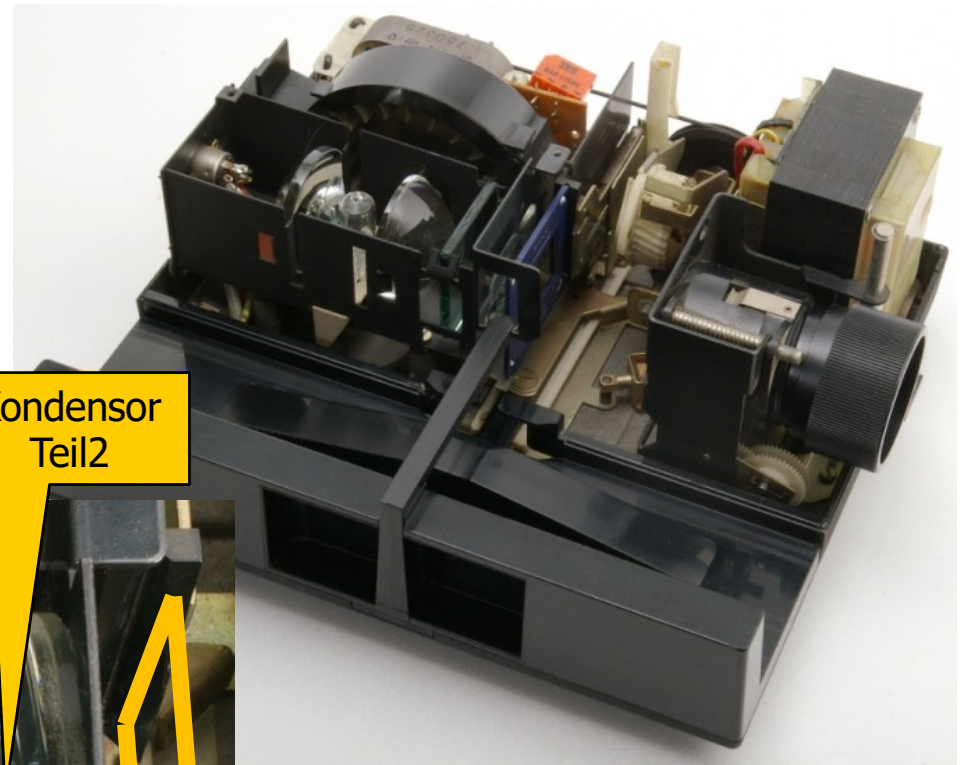
http://www.microresist.de/poster_lift_off.pdf

Lithographie: Belichter / Stepper



Zum Vergleich: Dia Projektor

- Kondensator lenkt möglichst viel Licht aus der Lampe ins Objektiv. Er muss das ganze Dia gleichmäßig ausleuchten
- Ein (sphärischer) Spiegel reflektiert das Licht, das "nach hinten" geht, zurück (mit leichtem Offset, um die Heizwendel nicht zu stark zu erhitzen)

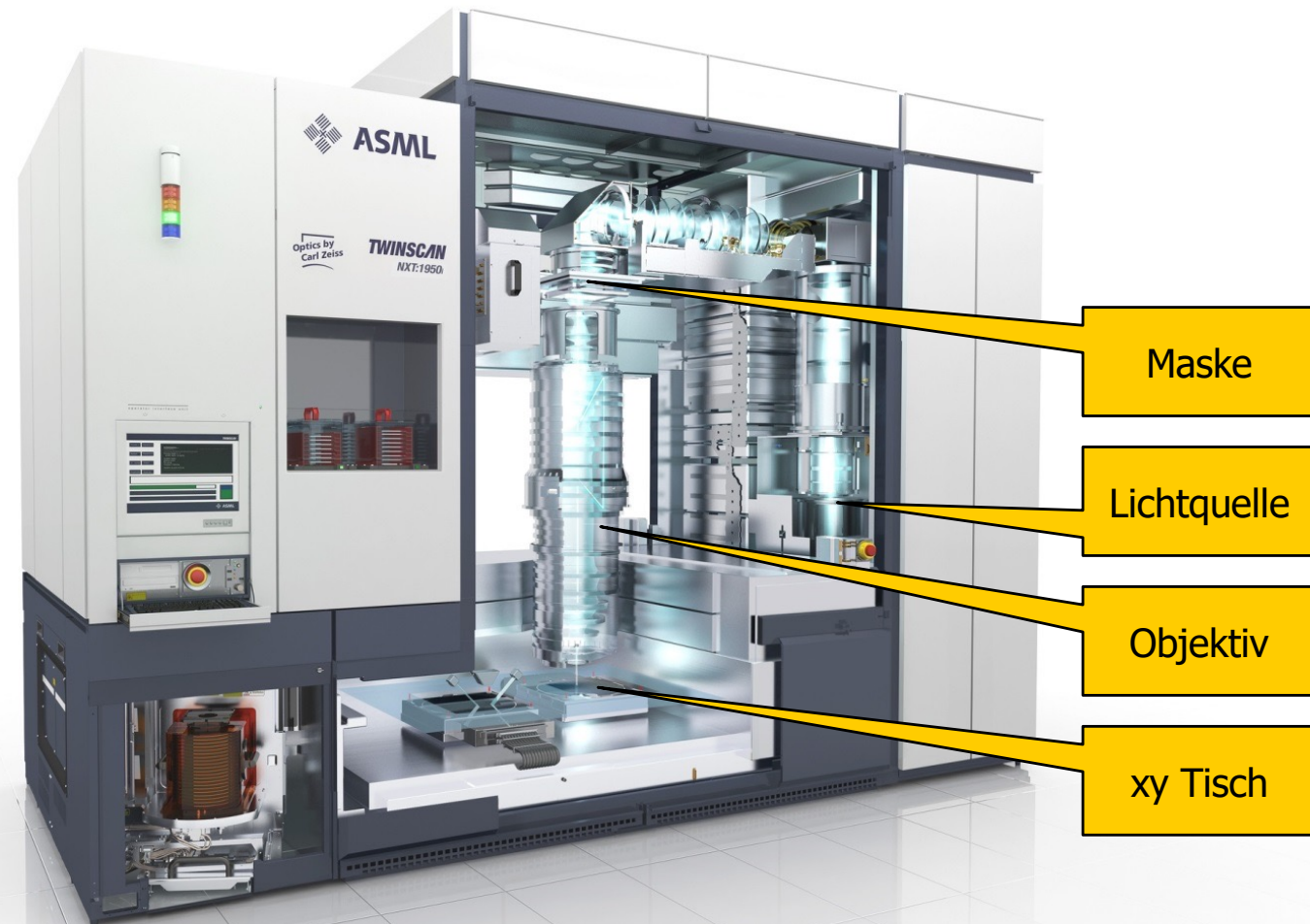


Stepper



Moderne Lithographie Anlage

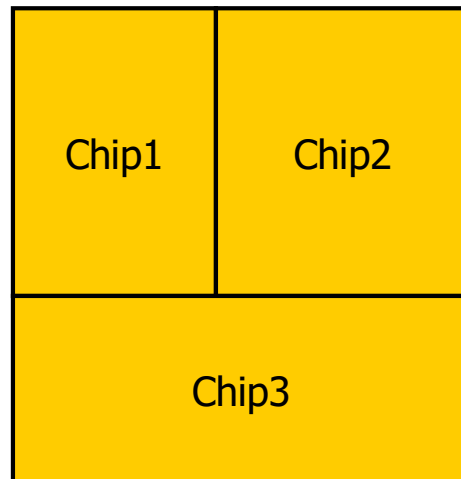
- Bei Auflösungen im nm-Bereich müssen Temperatur, Luftfeuchtigkeit (Vakuum?!), ... konstant sein



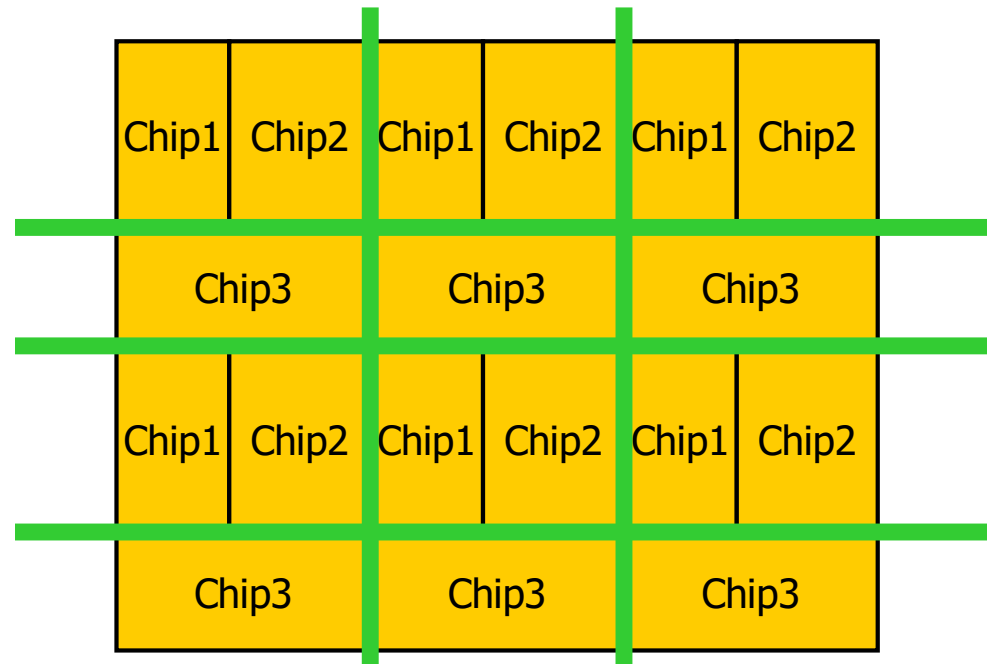
Bildquelle: Seminarvortrag Philipp Gsching http://www.asml.com/asml/show.do?lang=EN&ctx=46772&dfp_product_id=854

Das Reticle

- Die Größe der Maske ist meist auf einige (4-5) cm² beschränkt.
- In diesem '**Reticle**' sind oft mehrere Chips gesammelt.
- Viele Reticles werden nebeneinander angeordnet
- Bei der Anordnung der Chips im Reticle muß an das Aussägen der Chips gedacht werden!!!
- Manchmal sind auf einem Wafer unterschiedliche Reticles vorhanden ('Stiching' für größere Strukturen, Alignierungsmarken)

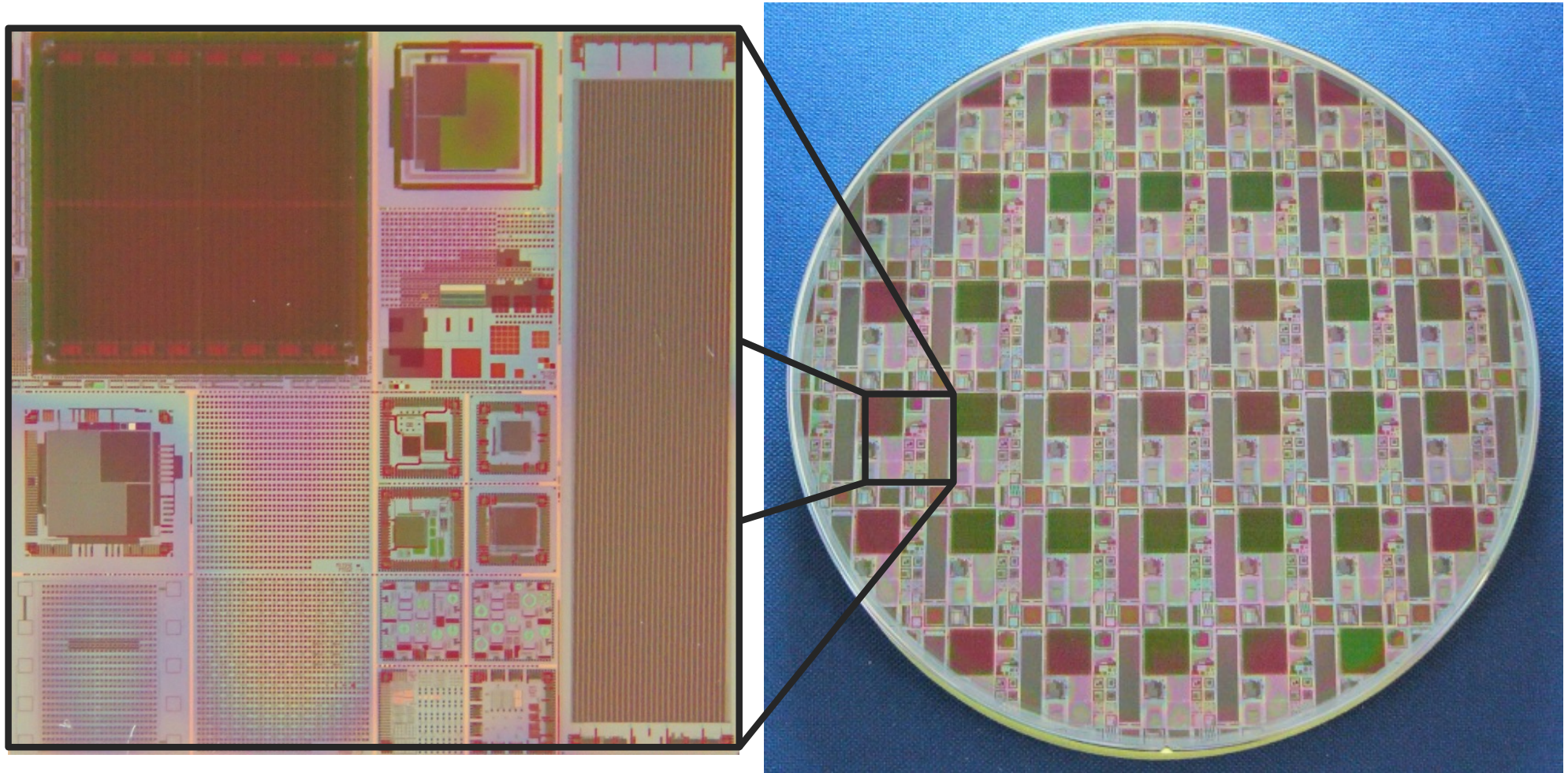


Reticle



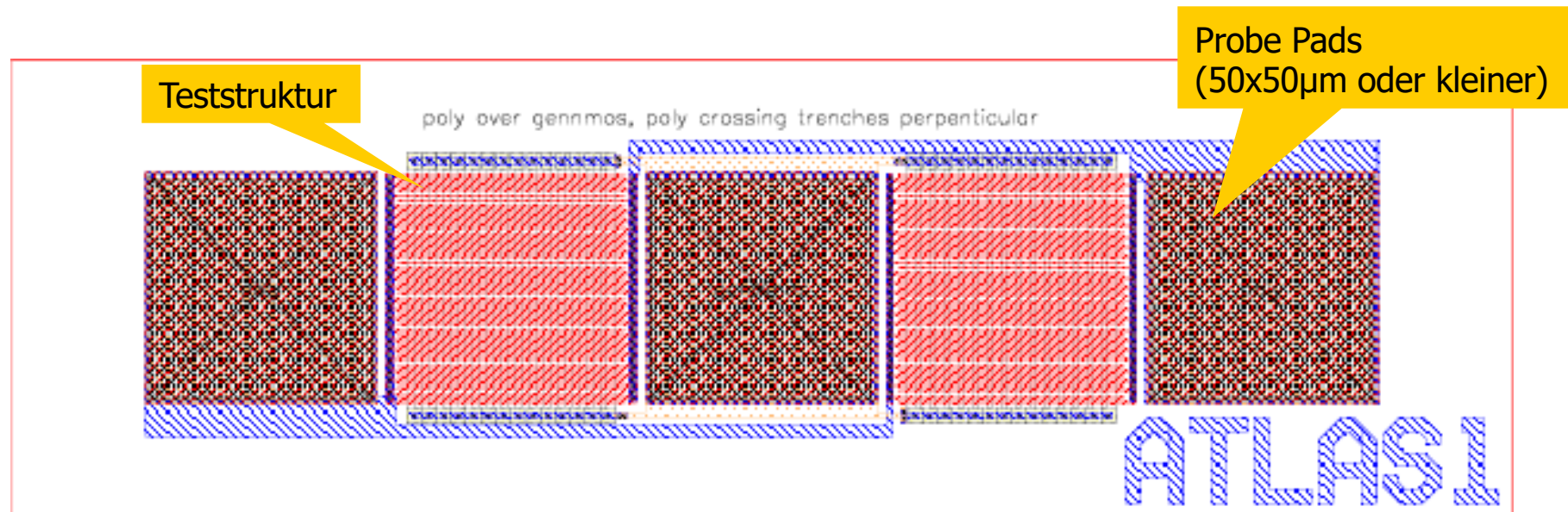
Ausschnitt aus Wafer. Aussägen ist problematisch:
nur Chip2 kann direkt entnommen werden.

Example of a Reticle



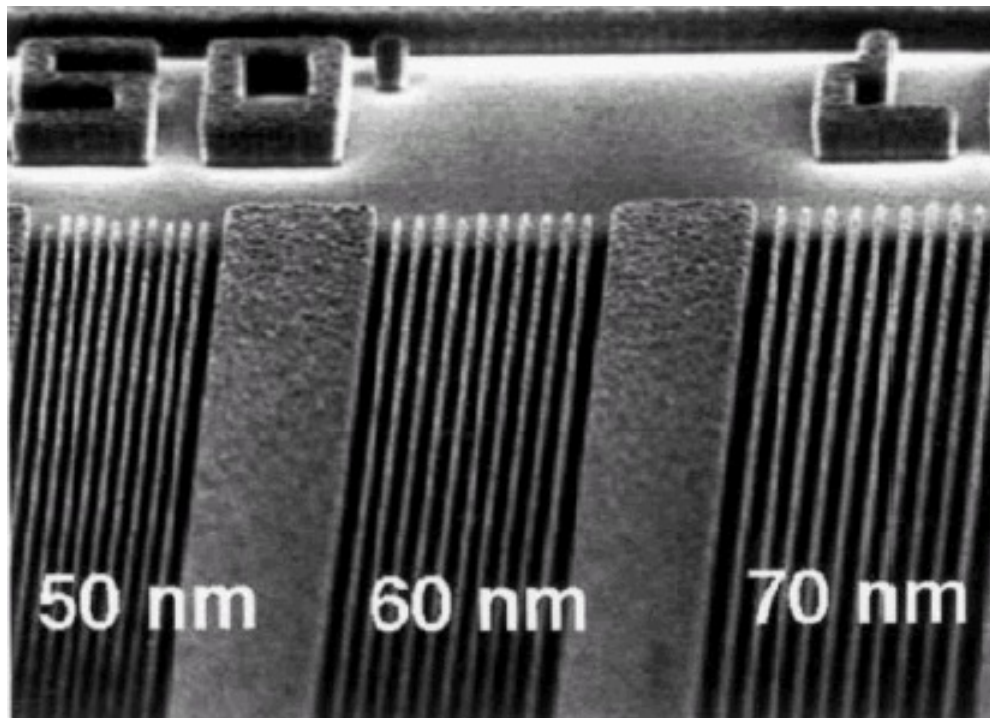
Teststrukturen für Process-Monitoring

- Zur Überwachung der Technologie werden verschiedene Teststrukturen mitprozessiert
- Sie sind sehr klein und werden meist in die Schnittkanten gelegt ('KERF')
- Beispiele:
 - Widerstände der einzelnen Lagen (Implantationen, Poly, Metall)
 - Widerstände von Kontakten
 - Kapazitäten
 - Geschwindigkeit eines Inverters (Ringoszillator)
 - Wahrscheinlichkeit für Kurzschlüsse (lange Bahnen in minimalem Abstand)
 - Wahrscheinlichkeit für fehlende Kontakte (lange Kette von Kontakten)
 - ...



Lithographie: Grenzen

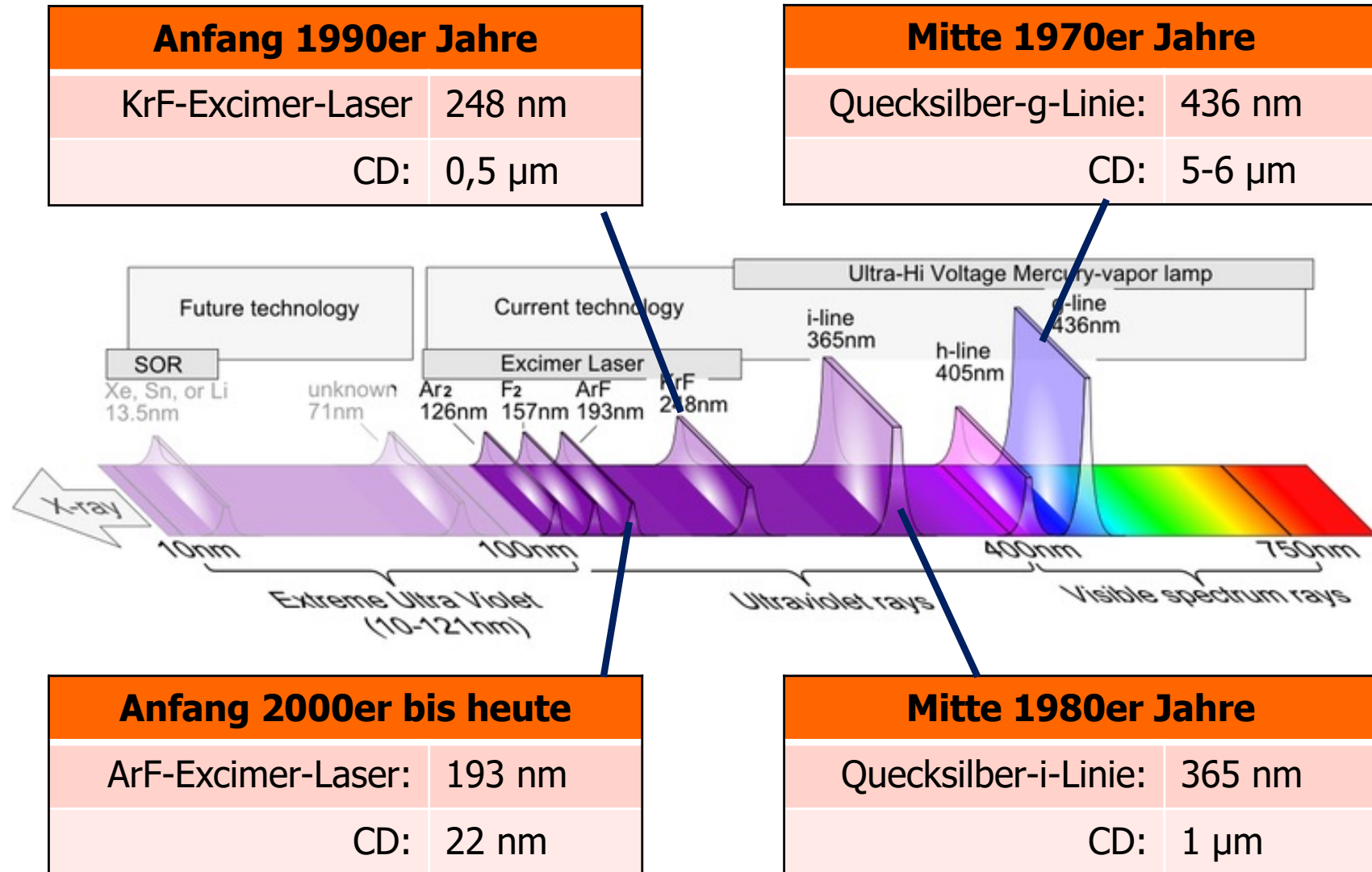
- **Auflösung** wird durch **Wellenlänge** der verwendeten Strahlung begrenzt \Rightarrow UV (193nm), E-UV (13.5nm)
- Hohe Tiefenschärfe erforderlich
- Lack sollte steile 'Gradationskurve' haben ('harter' Film)
- Unterscheide: Auflösung in **einer** Maske \Leftrightarrow Ausrichtung **unterschiedlicher** Masken (viel schlechter)
- \Rightarrow **einer der Hauptgründe für Design-Regeln**
- \Rightarrow 'Self aligned' Technology für die kritischen Schritte (Gate und Drain/Source!)
- Problem auch: Miss-Alignment durch thermische Ausdehnung der (großen) Wafer



- Belichtung mit sehr kurzwelligem UV-Licht
- Beachte das 'aspect ratio, (Dicke des Lacks / Breite der Strukturen) !

Wellenlängen

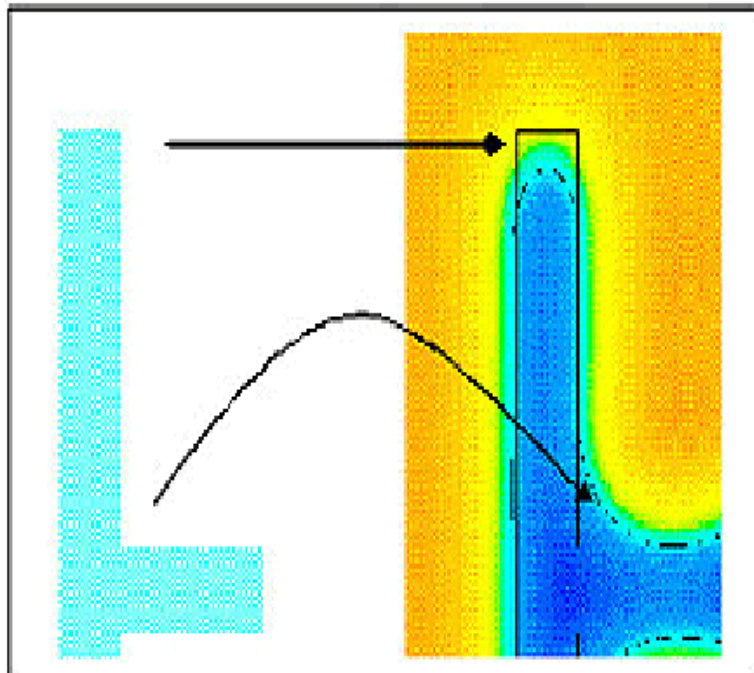
- CD = ‚critical dimension‘ = kleinste Strukturgröße



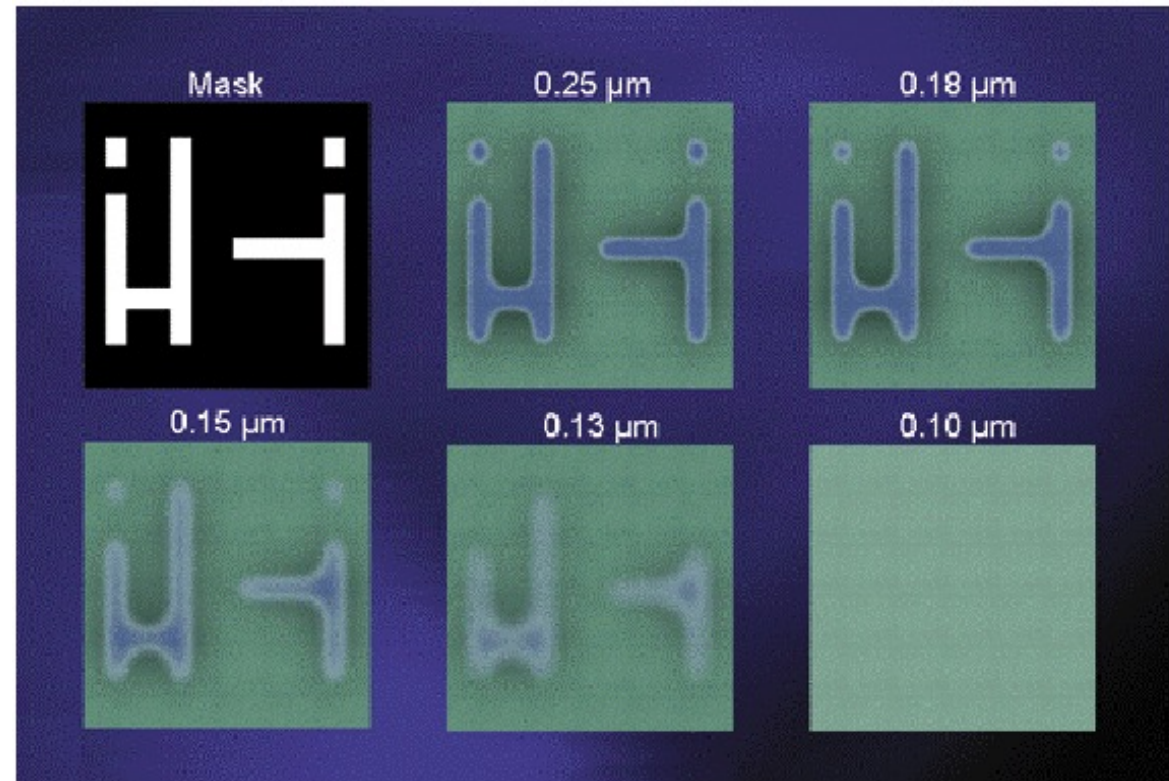
Bildquelle: Seminarvortrag Philipp Gsching, Wikipedia

Beugungslimit

- Kommt man an das Beugungslimit $L_{\min} = \text{Wellenlänge des Lichts} / \text{numerische Apertur}$, so werden
 - Ecken abgerundet
 - Enden von Leitungen kürzer
 - Ecken außen teilweise ausgefüllt



(Numerical Technologies, Inc.)

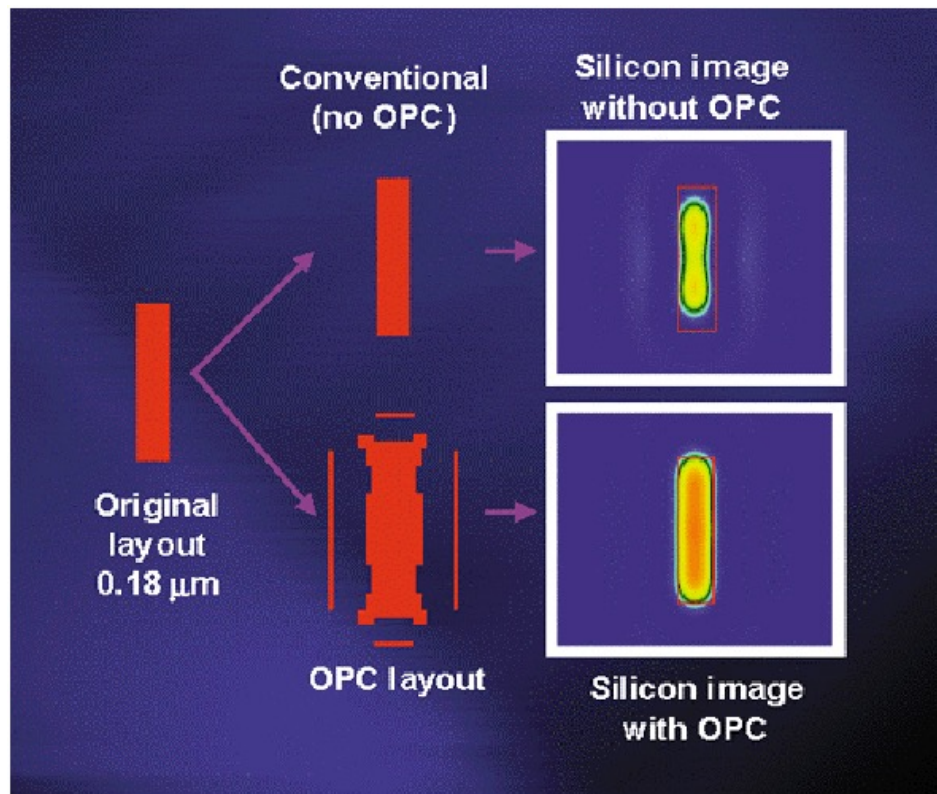


(Grobman, Wang, "Practical IC Design in the Subwavelength Regime")

Abbildung kleiner werdender Strukturen mit heutiger Technologie

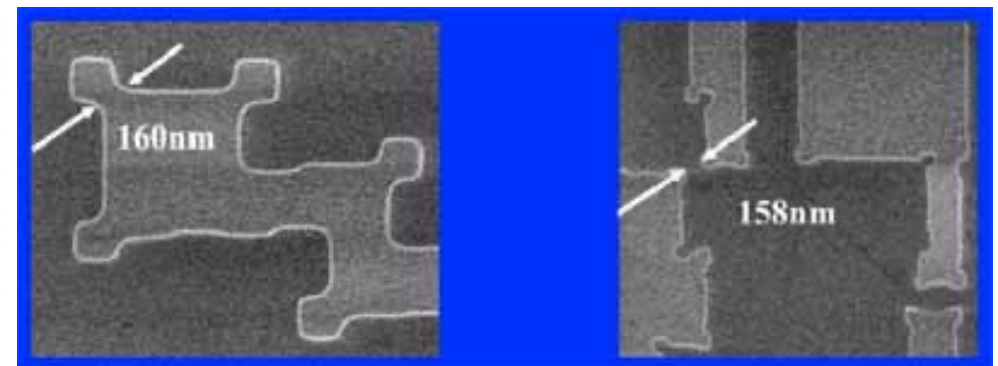
Masken für $<0.15\mu\text{m}$: OPC

- Eine Methode, um das Beugungslimit zu 'umgehen', ist die **Optical proximity correction (OPC)**:
- Die Maske wird so verändert, daß das gebeugte Bild dem Original näher kommt



(Numerical Technologies, Inc.)

Maske:



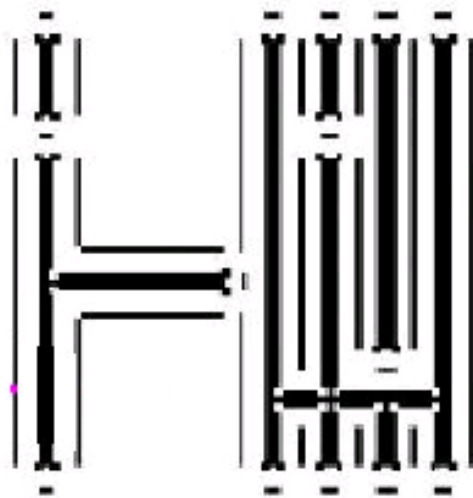
<http://www.intel.com/labs/features>

Variante: Scattering Bars

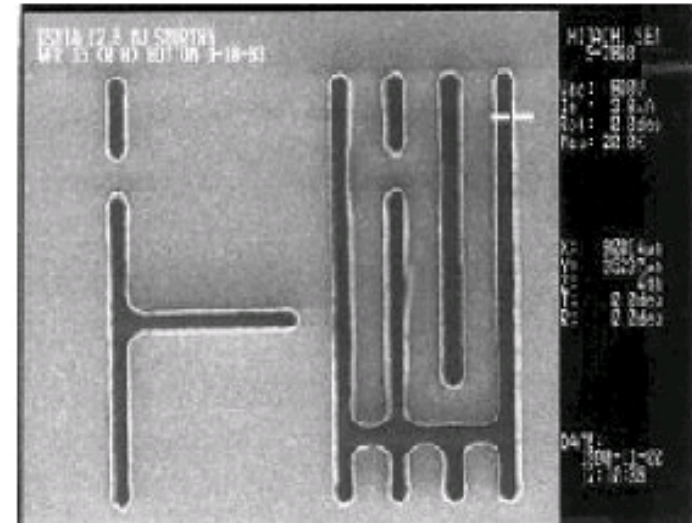
- Das Hinzufügen von Strukturen mit sehr kleiner Größe verbessert den Kontrast weiter



Designed layout



Final layout

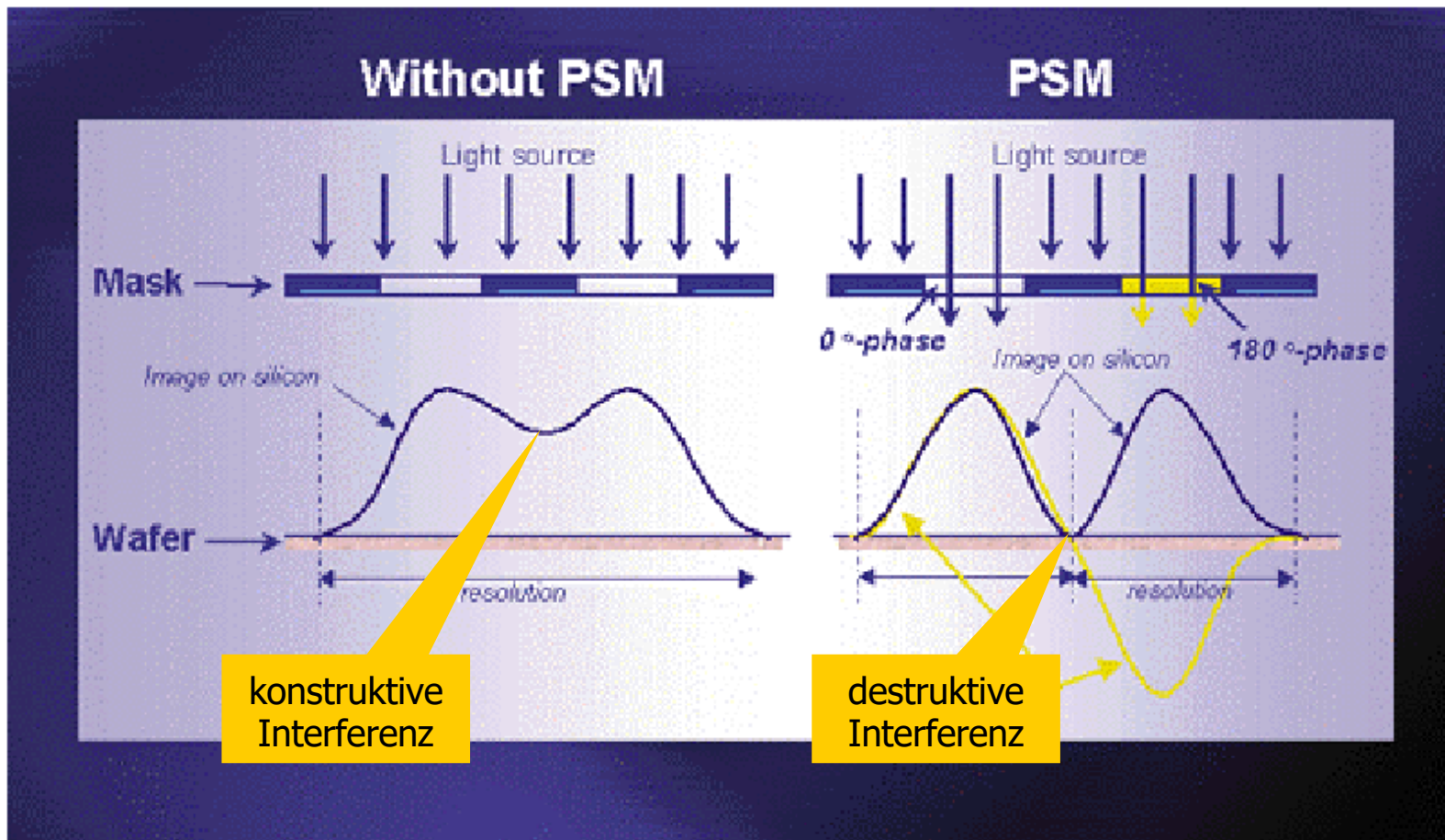


Wafer

(Schellenberg, DAC2001)

Masken für $<0.15\mu\text{m}$: Phase Shifting

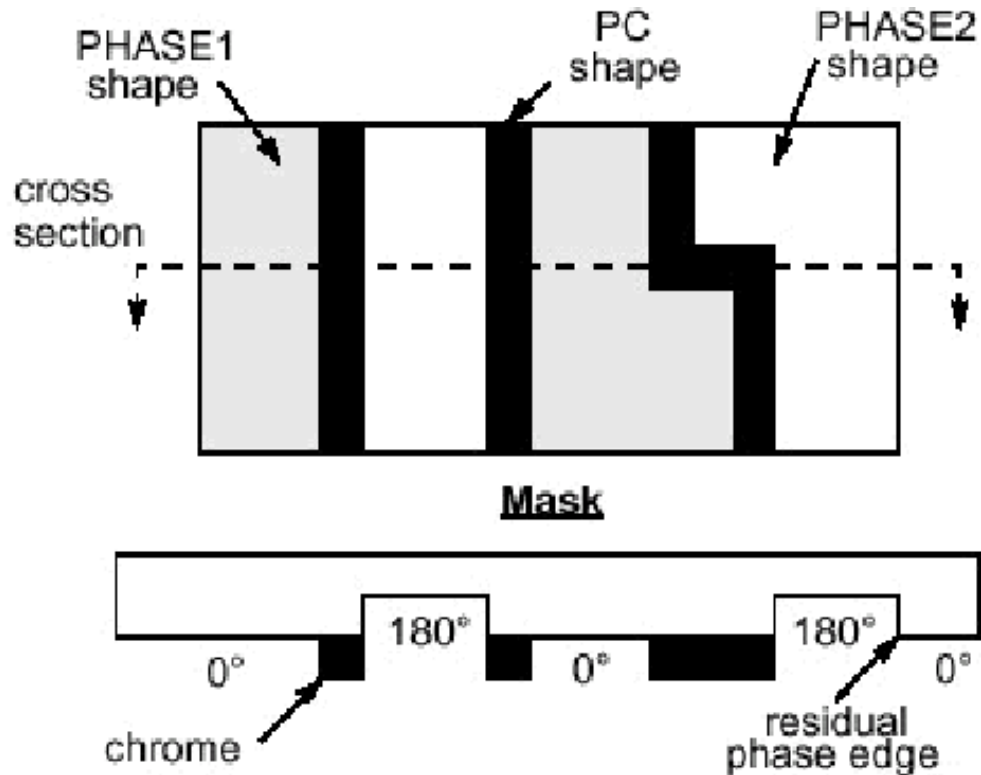
- Ein anderes Verfahren ist das **Phase Shifting (PSM = Phase Shift Mask)**:
- Die Phase des Lichts wird in der Maske verändert, so daß es zu konstruktiver und destruktiver Interferenz kommt
- Die Masken werden dadurch wesentlich komplizierter !



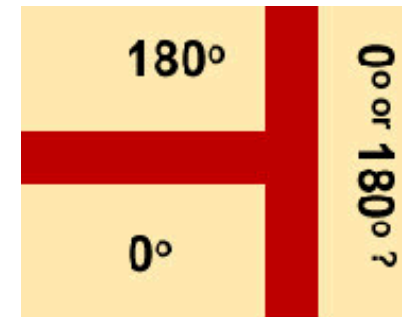
(Numerical Technologies, Inc.)

PSM Problem

- Nicht alle Strukturen lassen sich so verwirklichen!
- Das führt zu komplizierten Designregeln!



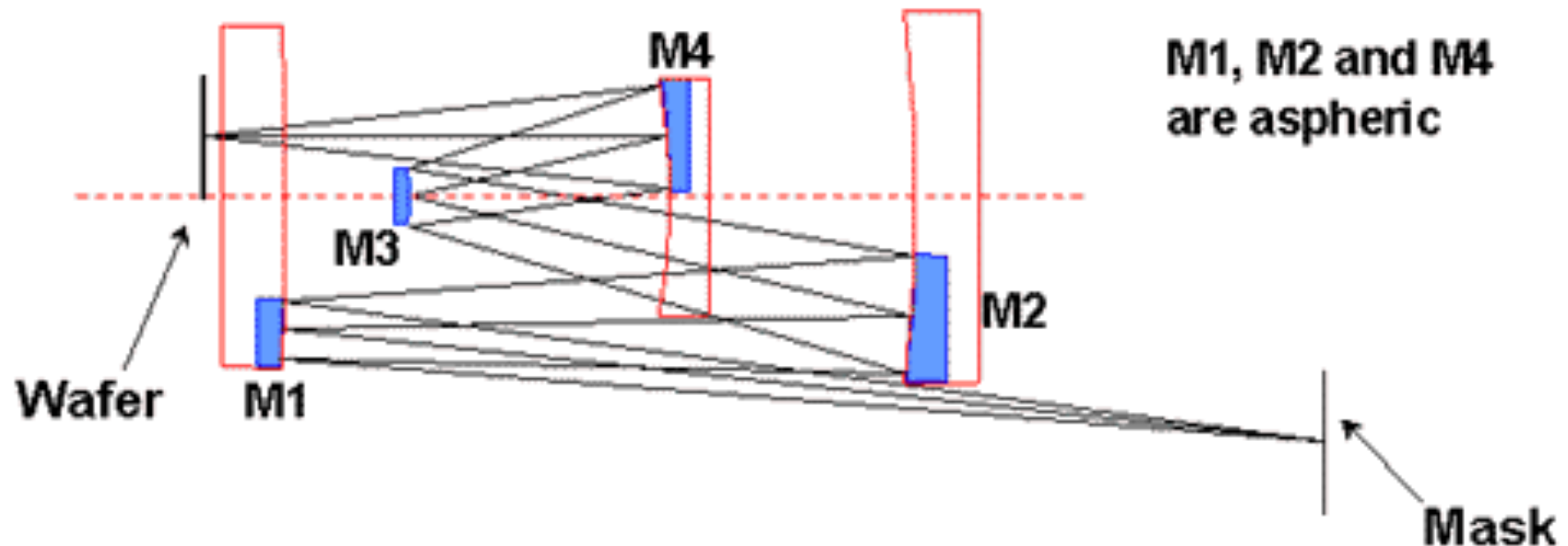
OK



Problem !

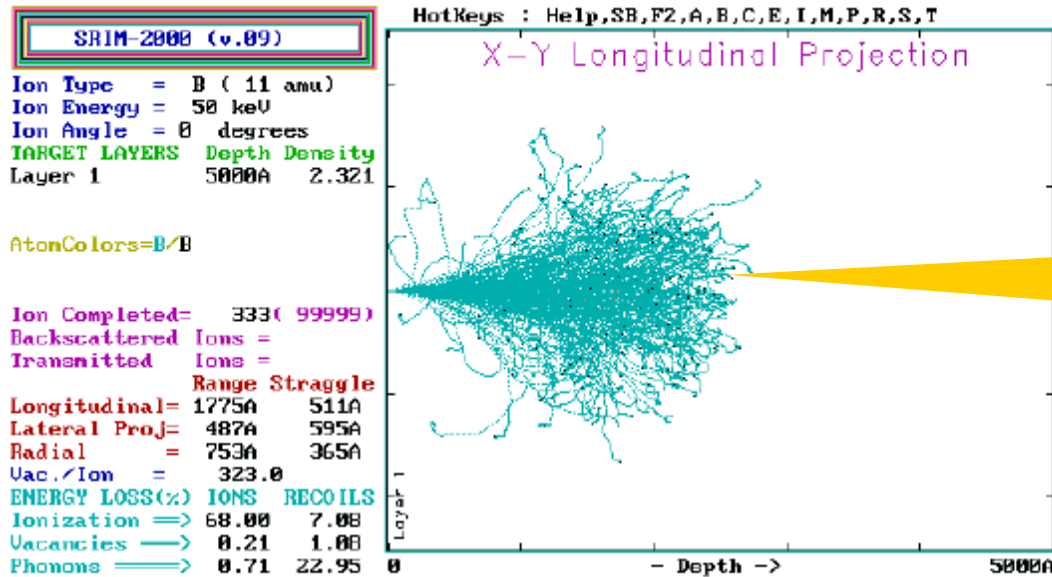
Die nächste Generation: Extremes UV

- Die vorgestellten Tricks (OPC und Phase Shifting) werden für Strukturen $< 50\text{nm}$ nicht mehr ausreichen.
- Die Wellenlänge des Lichtes muß daher verkürzt werden:
UV(192nm, Argonfluorid-Laser) \Rightarrow UV(157nm, Fluor-Laser) \Rightarrow **EUV** = Extreme UV ($\sim 13.5\text{nm}$)
- Erzeugung des Lichts ist sehr schwierig (Laser erzeugen Plasma)
- Für diese Wellenlängen gibt es keine Linsen mehr, daher muß man neuartige Spiegelsysteme benutzen. Die Multilayer-Spiegel bestehen aus sehr vielen sehr dünnen Schichten
- NB: Die auch untersuchte Röntgenlithographie hat sich nicht durchgesetzt, da die Geräte zu teuer sind und die Masken nur schwer hergestellt werden konnten und nicht stabil genug waren

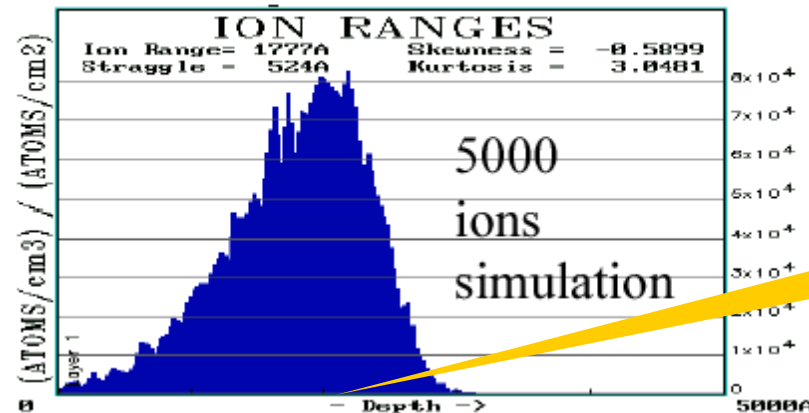


Ionenimplantation

- Schwere Ionen werden im Festkörper durch sukzessive Abgabe ihrer kinetischen Energie gestoppt
- Die meisten Ionen bleiben in einer 'festen' Tiefe stecken
- Die Tiefe hängt vom Substratmaterial und der Ionenart und insbesondere von deren Energie ab



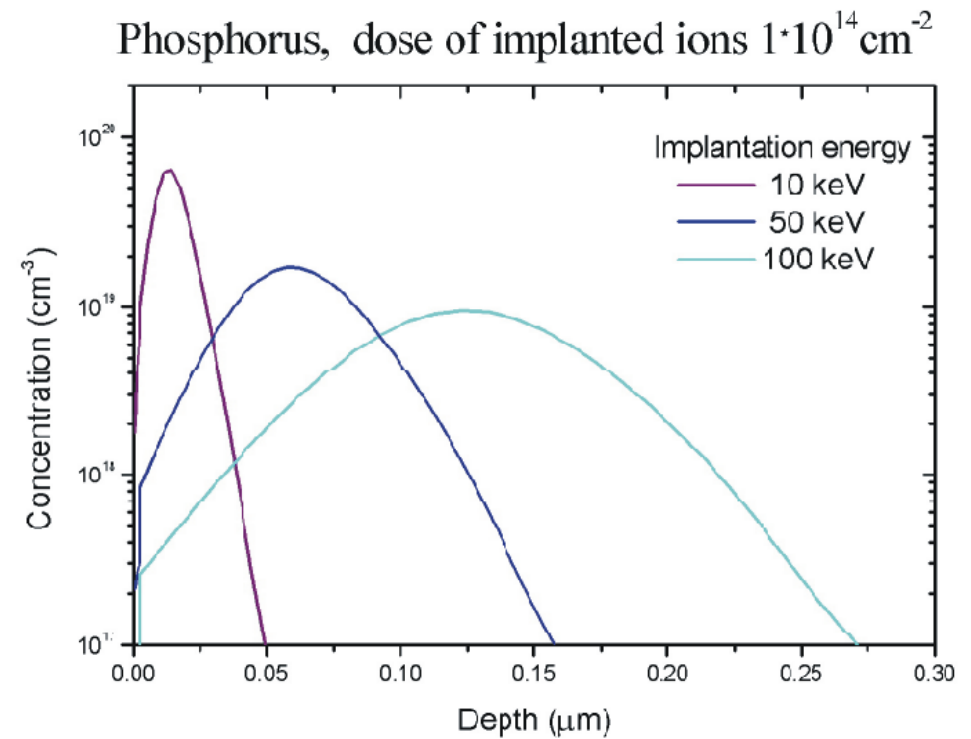
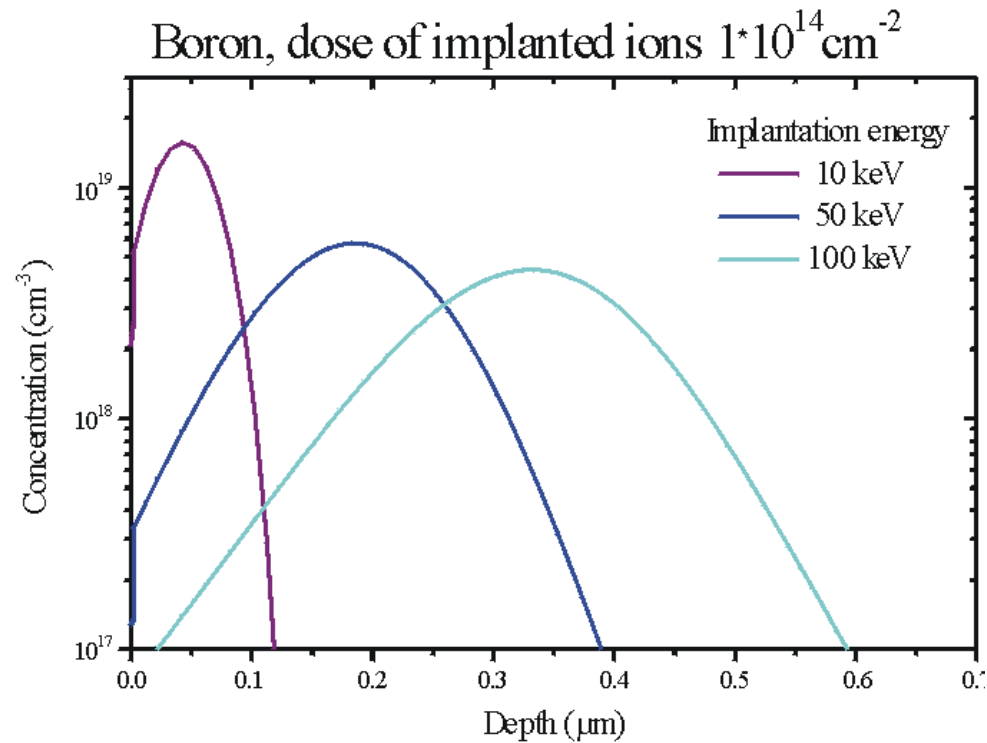
Wechselwirkung des Ions mit dem Kristallgitter
=> Schädigung des Gitters !
=> Annealing nötig



Maximale Dosis in dieser Tiefe

Ionenimplantation

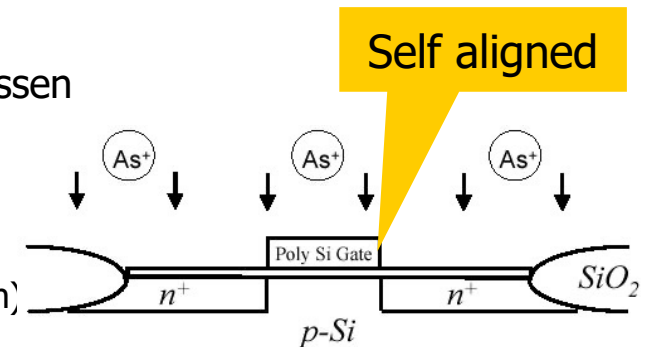
- Tiefenverteilung der Dosis für Bor (Z=5) und Phosphor (Z=15) als Funktion der Ionenenergie



<http://www.leb.e-technik.uni-erlangen.de/lehre/mm/html/start.htm>

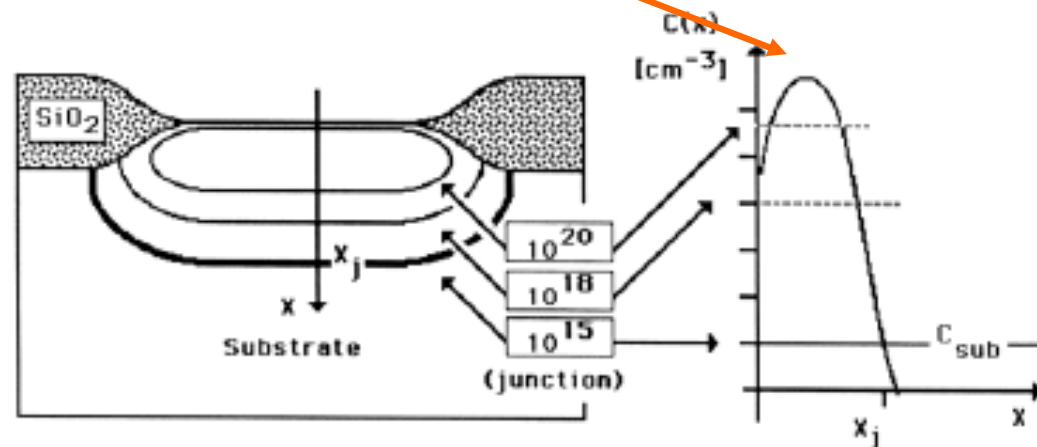
Ionenimplantation

- **Einbringen von Fremdatomen** ins Gitter
- Ionen werden mit sehr genau definierter Energie auf den Wafer geschossen
- Ionen-Energien 1keV...200keV (Raumtemperatur)
- Danach 'Annealing' bei 900°C-1000°C:
 - **Ausheilen des Kristalls**
 - **Aktivierung** der Donatoren / Akzeptoren (sie müssen auf Gitterplätze wandern)



- + **Dosis kann sehr gut kontrolliert werden** (durch Ionenstrom einstellbar)
- + Ionen bleiben hauptsächlich in einer **wohldefinierten Tiefe** stecken (durch Ionenenergie einstellbar)
- + Oberfläche muß nicht sehr sauber sein
- + Geringe laterale Variation: <1% auf 8" Wafer

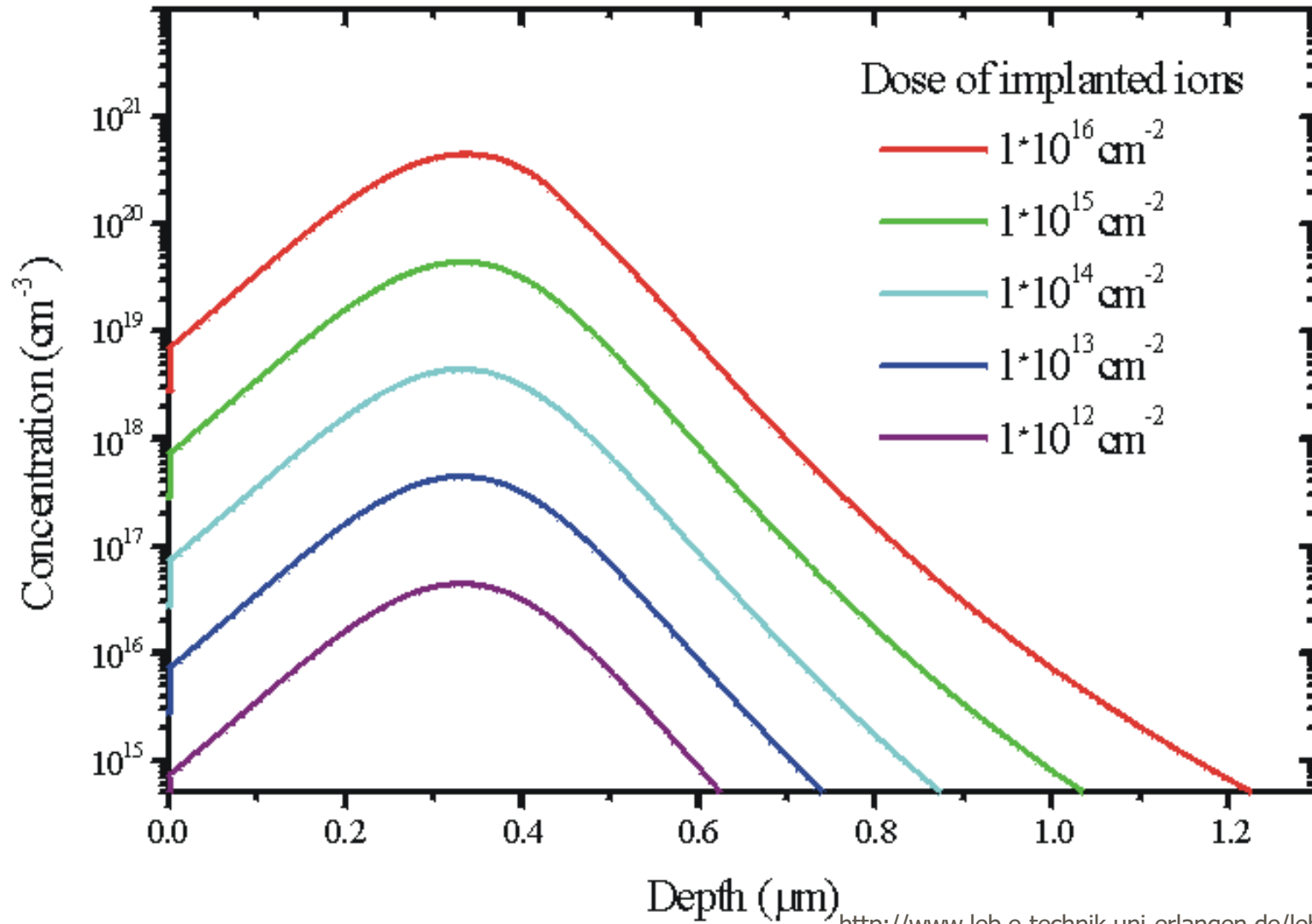
- 4M\$ / Implanter, 60 Wafer/h



(Channeling: Wenn Ionen längs der Hauptachsen des Kristalls eindringen, fliegen sie tiefer hinein
⇒ Wafer werden bei Bestrahlung leicht geneigt)

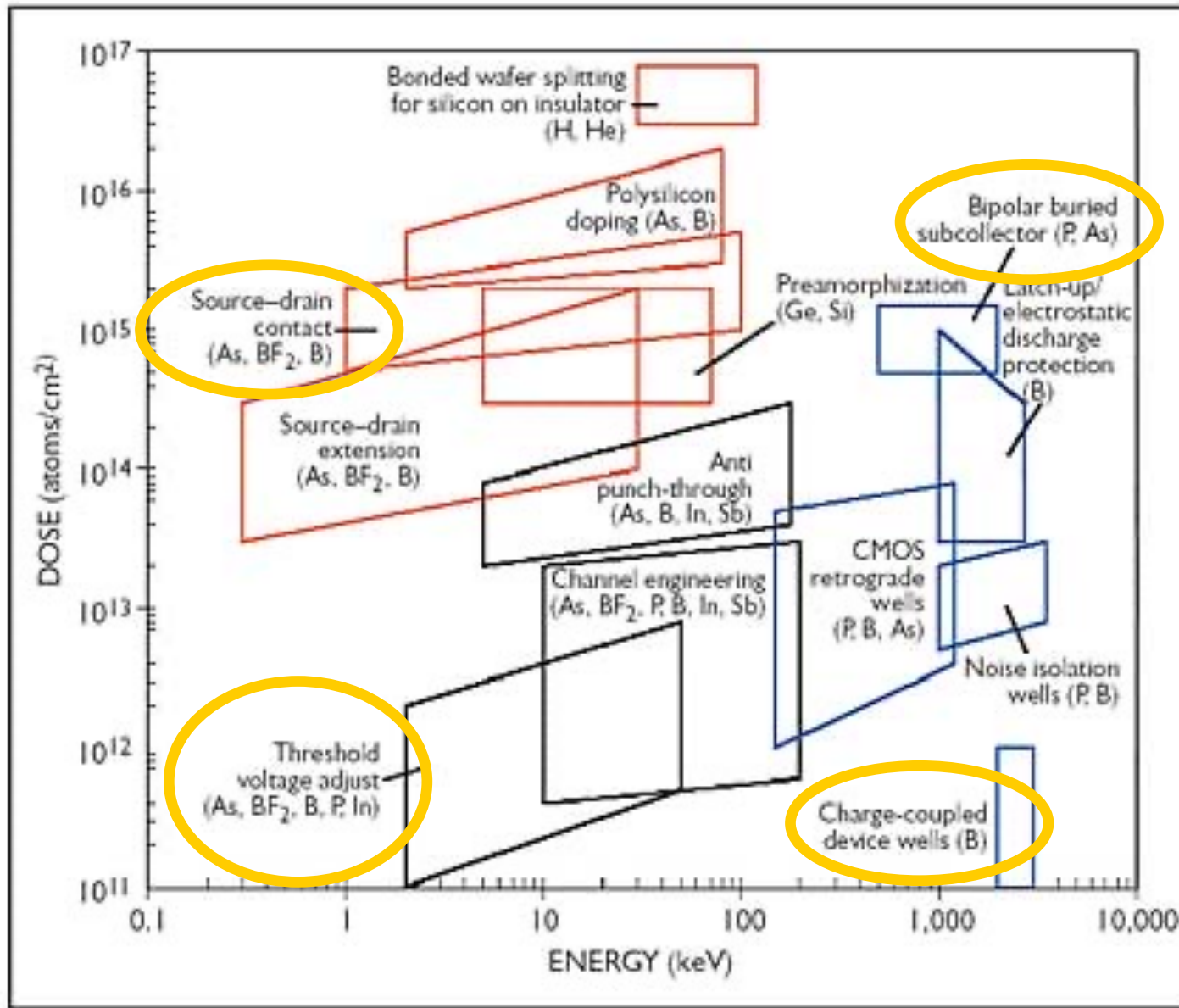
Ionenimplantation

- Die Tiefenverteilung als Funktion der Dosis ist sehr gut vorhersagbar (Hier: Bor mit 100keV)



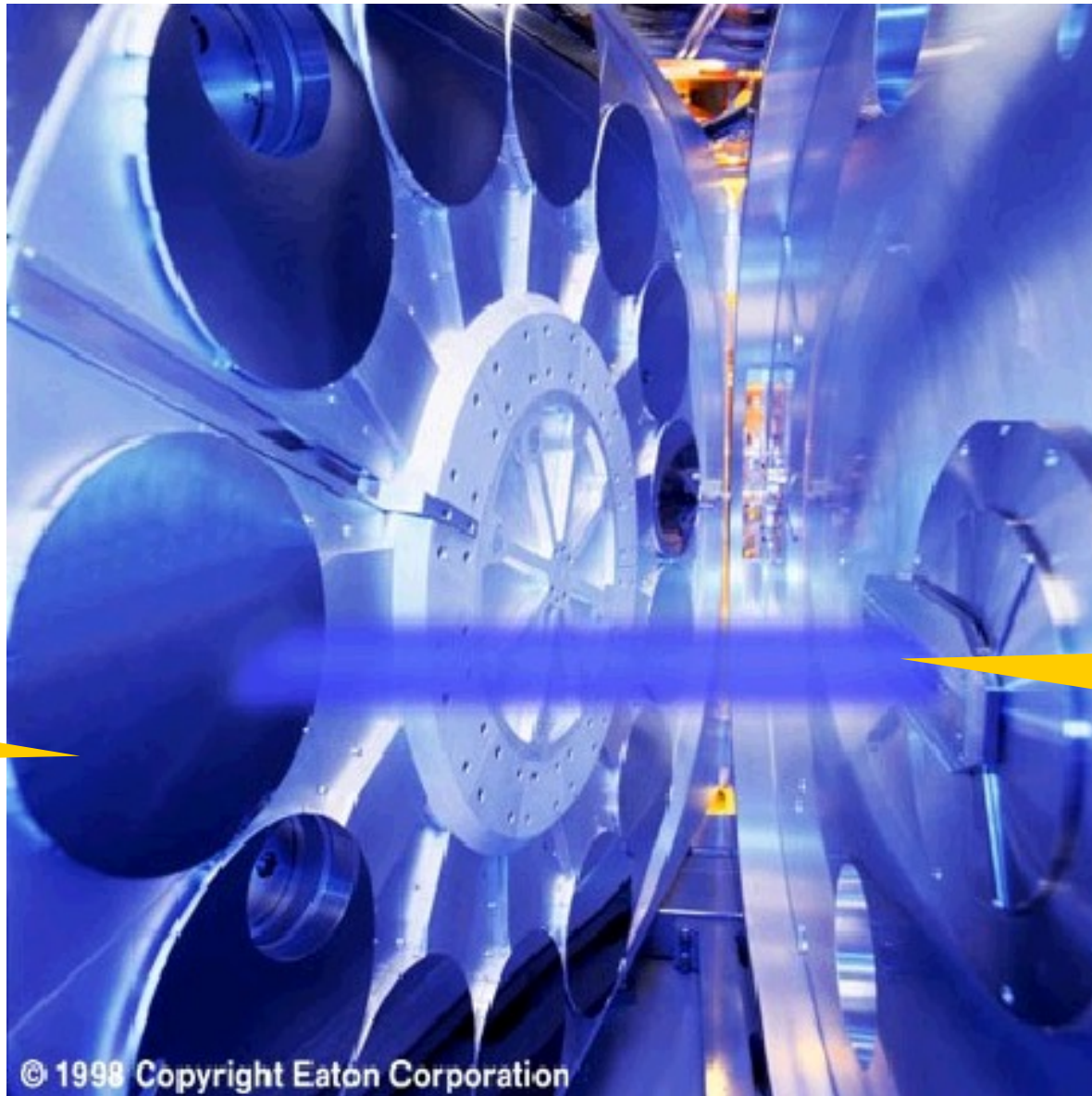
<http://www.leb.e-technik.uni-erlangen.de/lehre/mm/html/start.htm>

Dosen und Energien



<http://www.aip.org/tip/INPHFA/vol-9/iss-3/p12.html>

Ionen-Implanter

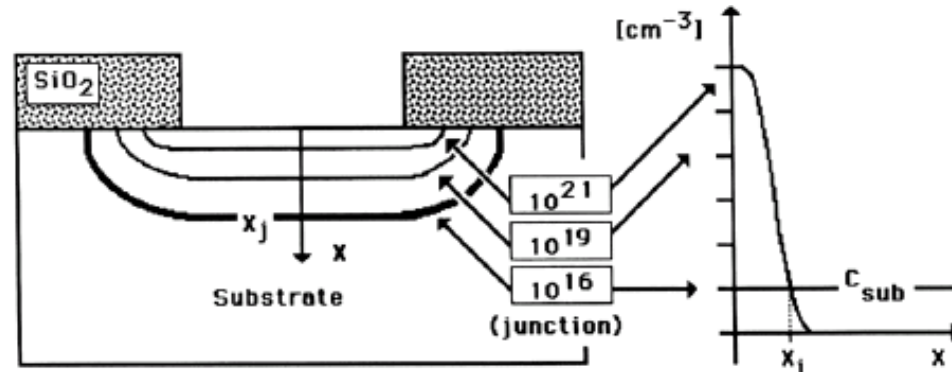


Wafer

Austritt des Ionenstrahls (Fächer)

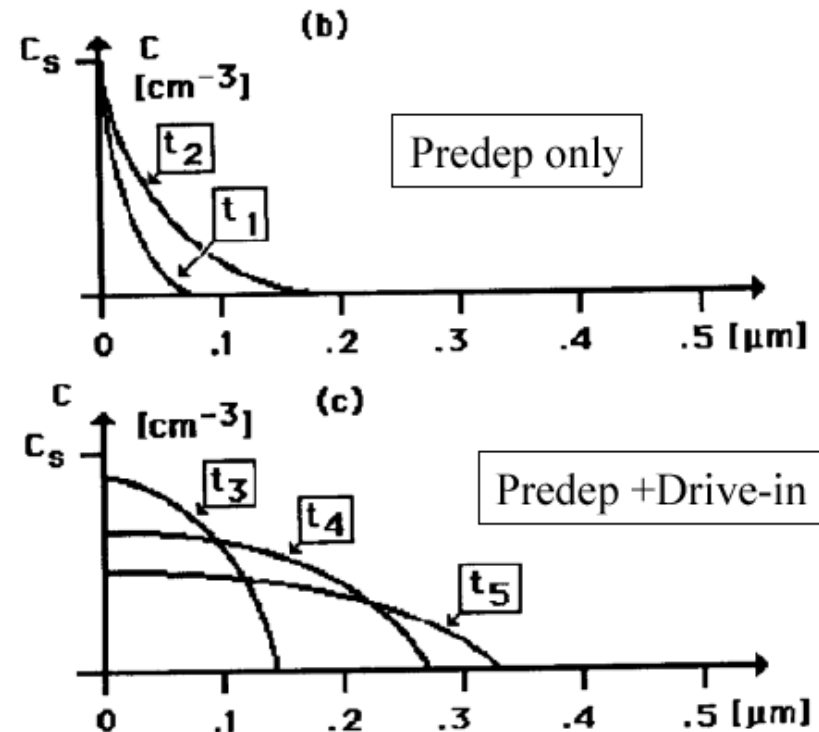
Diffusion

- Direktes **Einbringen von Fremdatomen** (950-1200°C, Diffusion um so stärker, je höher die Temperatur)



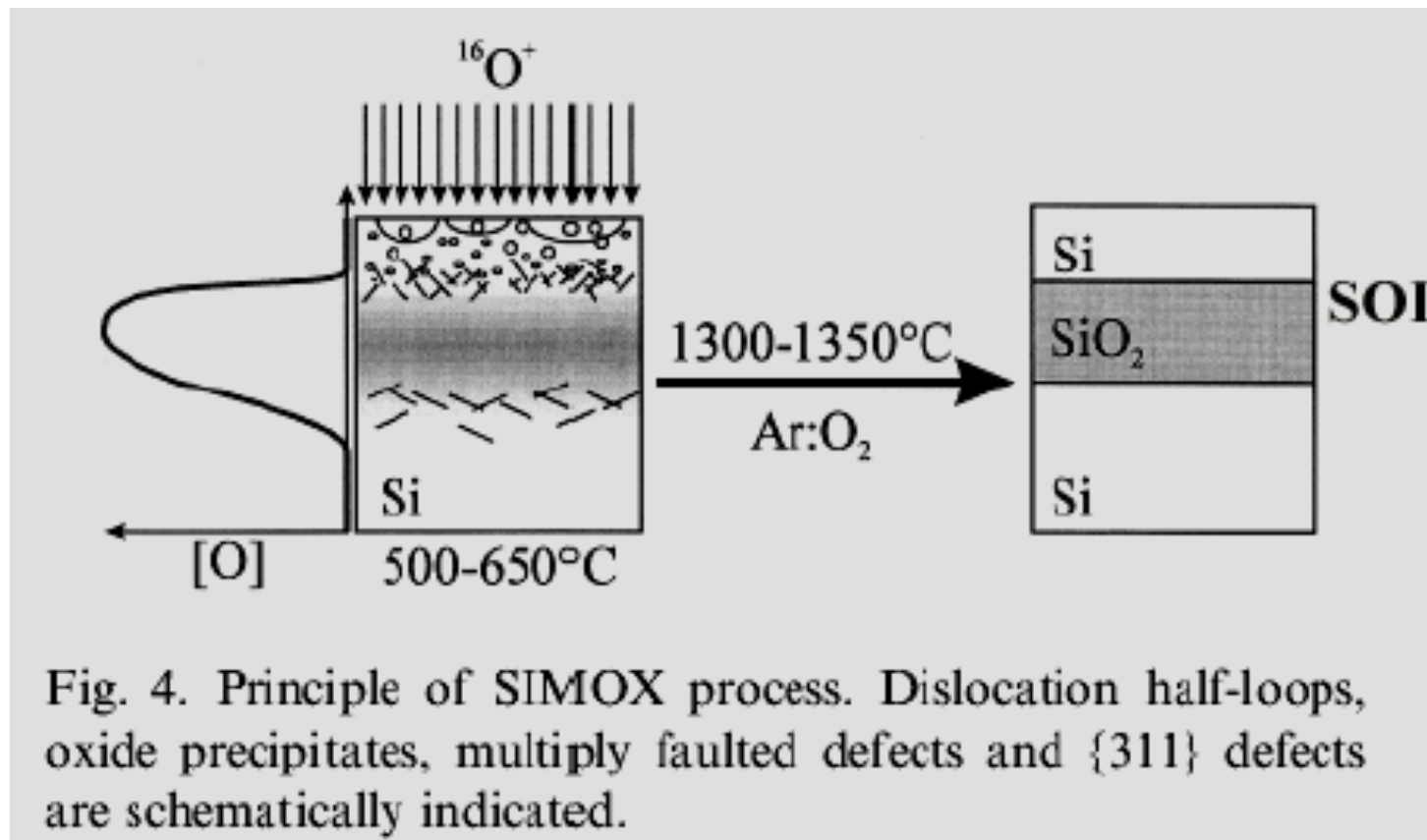
- Oder 'Drive-In'
Verbreiterung von implantierten Profilen:
 'Predeposition' an der Oberfläche mit niedriger Energie mit genau bekannter Dosis

Diffusionsrate hängt von Ionen und von der Temperatur ab.



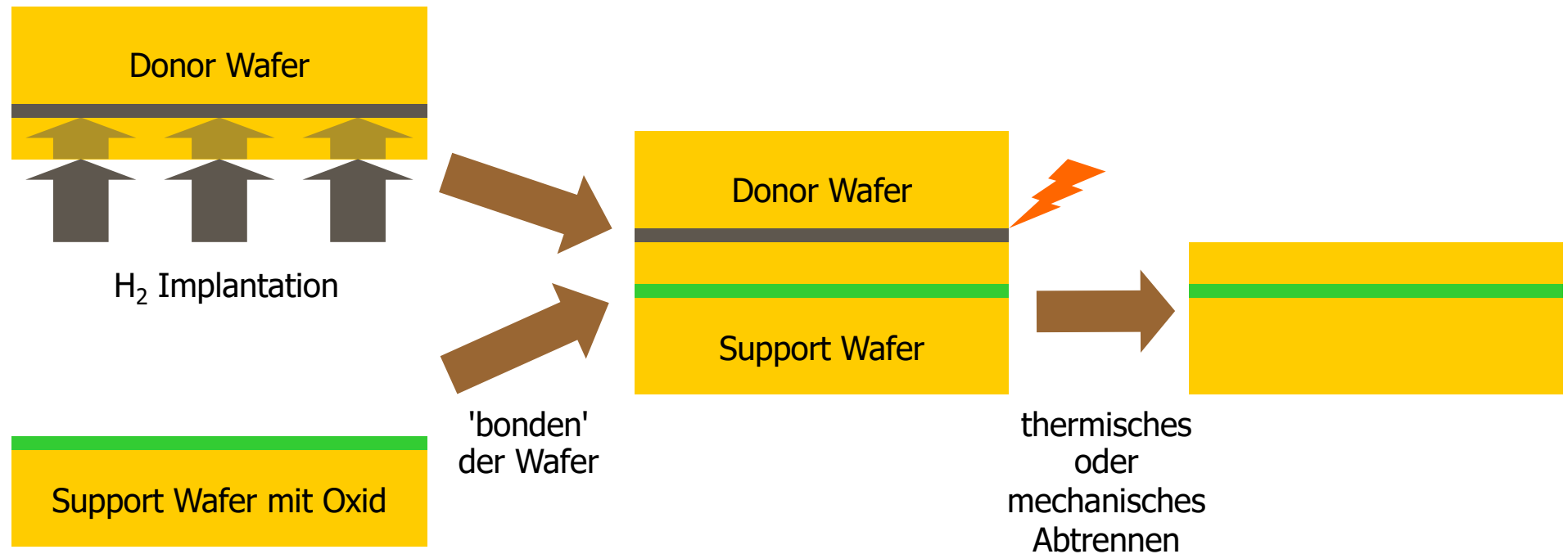
SIMOX Wafer

- Spezielle Anwendung der Ionen-Implantation (hier mit Sauerstoff):
Nach Implantation von O_2 bildet sich **in der Tiefe** eine SiO_2 Schicht.
- SIMOX Wafer (**S**eparation by **IM**plantation of **OX**igen)
- Die Bauteile an der Oberfläche sind dann vom Bulk getrennt. Schaltungstechnisch vorteilhaft, kleinere Kapazitäten, kein Latchup... 'Silicon on Insulator' = SOI
- "<1000\$ / wafer"



SOI Waferproduktion durch 'Layer Transfer'

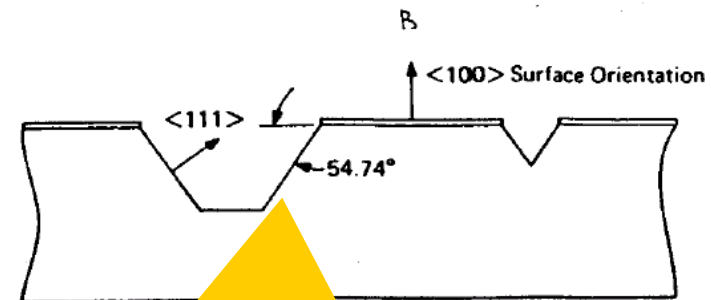
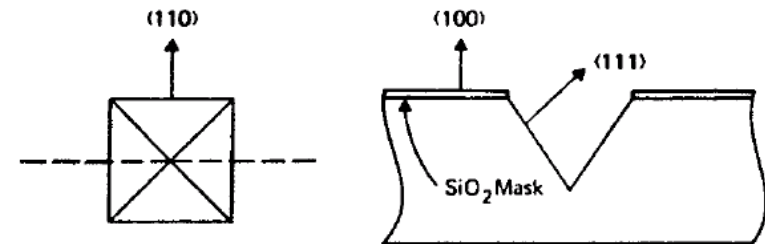
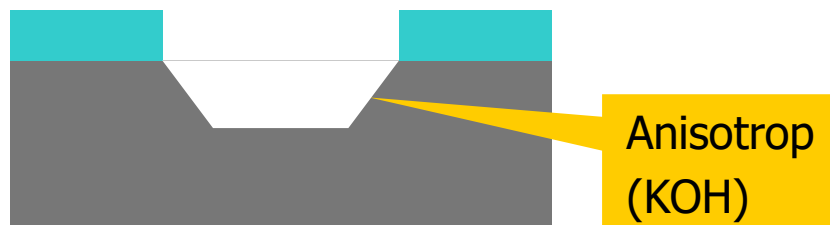
- 'layer transfer' - Methode zur Herstellung eines Silicon-On-Insulator (**SOI**) Wafern:
 1. Ein 'Support-Wafer' niedriger Qualität wird an der Oberfläche oxidiert
 2. Ein hochwertiger 'Donor'-Wafer wird flächig **'aufgebondet'** (verschiedene Methoden)
 3. Der 'Donor'-Wafer wird abgerissen, dabei bleibt eine dünne Schicht 'gutes' Silizium zurück.
um einen gutes Abtrennen zu gewährleisten wird der Donor Wafer vorher z.B. mit H₂ implantiert



Mehr Info: <http://www.us.design-reuse.com/soi/technology/>

Ätzen

- Entfernen von Material nach der Strukturierung des Photolacks
- Isotrope** Verfahren: ätzen gleichförmig in alle Richtungen \Rightarrow Gefahr des Unterätzens
Naßchemisches Ätzen und manches **Plasmaätzen ('Trocken')**
- Anisotrope** Verfahren: entlang von Kristallrichtungen \Rightarrow Steilere Gräben, MEMS (z.B. mit KOH)
Oder: **Plasmaätzen. RIE = 'Reactive Ionen Etching'**
- Selektives Ätzen** (immer): Unterlage darf nicht angeätzt werden (z.B.: HF ätzt SiO_2 aber nicht Si)



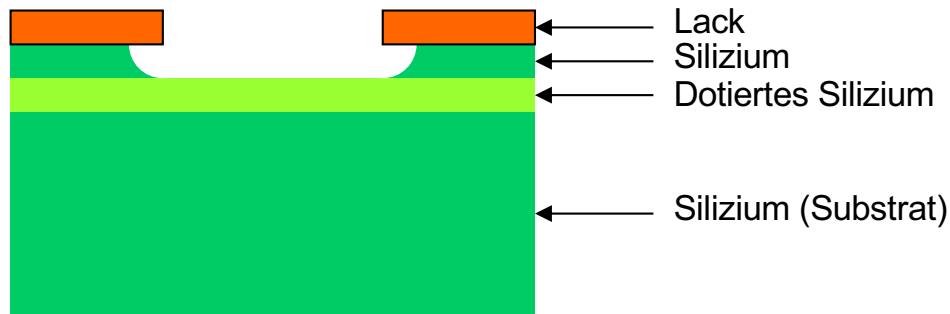
KOH greift (111) Ebene kaum an

(Ätzraten: (100): $0.6\mu\text{m}/\text{min}$,
(110): $0.1\mu\text{m}/\text{min}$,
(111): $0.006\mu\text{m}/\text{min} = 1/100 \times (100)$)

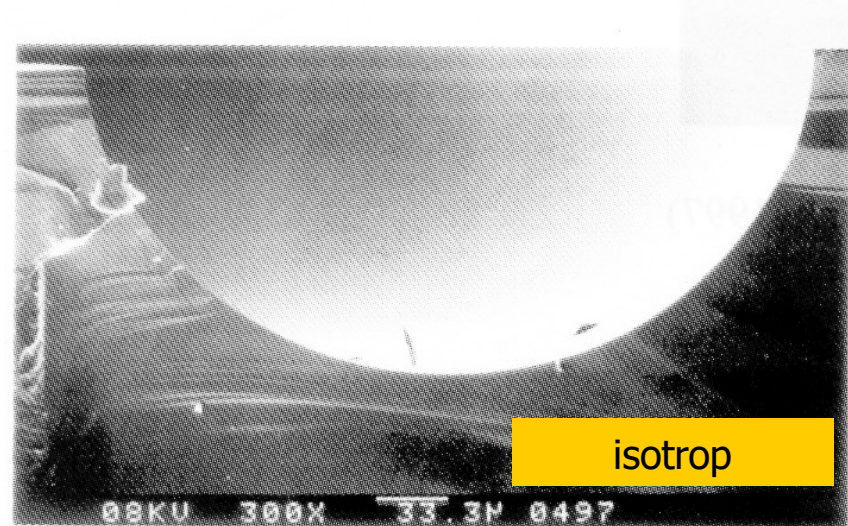
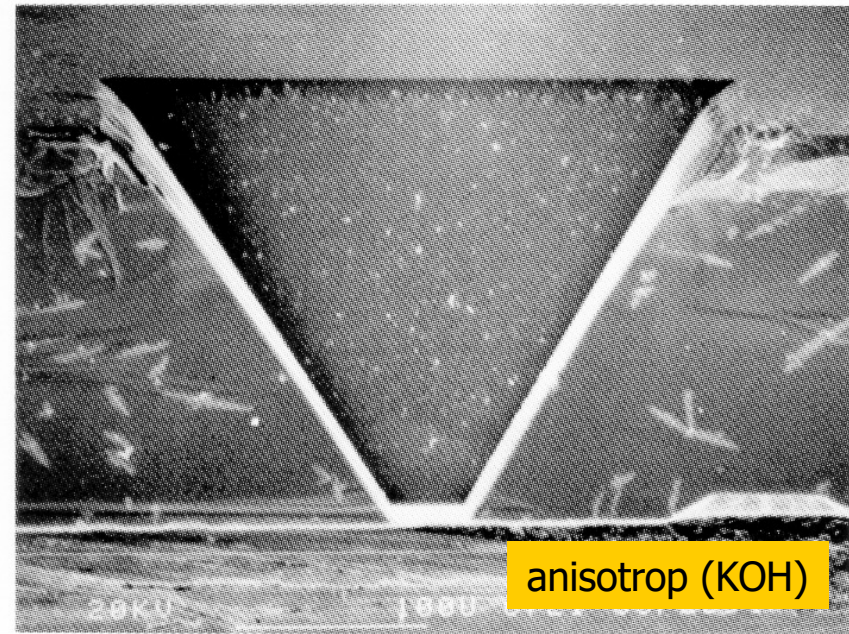
Naßchemisches Ätzen

- Sehr einfach (Wafer wird in Flüssigkeit getaucht)
- Für sehr feine Strukturen weniger geeignet
- Meist Isotrop, d.h. gleichmäßig in alle Richtungen)
- Mit speziellen Chemikalien (KOH) auch anisotrop

- Verschiedene Lagen können als Ätzstopp dienen, z.B.
 - eine SiO₂ Schicht in der Tiefe (SIMOX)
 - eine dotierte (implantierte) Schicht in der Tiefe



- Beispiele:
 - Isotropes Ätzen von SiO₂ mit H₂O und HF (Flußsäure):
 $\text{SiO}_2 + 6 \text{HF} \rightarrow \text{H}_2\text{SiF}_6 + 2 \text{H}_2\text{O}$
 - Isotropes Ätzen von Silizium mit HNO₃ + H₂O + HF (50:20:1):
 $\text{Si} + 2 \text{HNO}_3 \rightarrow \text{SiO}_2 + 2 \text{HNO}_2, \quad \text{SiO}_2 \rightarrow \dots$



Trockenes Plasma - Ätzen

- Wafer wird mit einem Plasma 'bombardiert'
- Die Ionen des Plasmas werden durch elektrisches Feld senkrecht auf den Wafer zu beschleunigt
- Dadurch sehr anisotropes Ätzen möglich (Ionen treffen hauptsächlich den Boden \Rightarrow senkrechte Wände!)
- Die Chemie des Ätzens wird durch die Zusammensetzung des Plasmas bestimmt

- Beispiel für **Reactive Ion Etching (RIE)**:

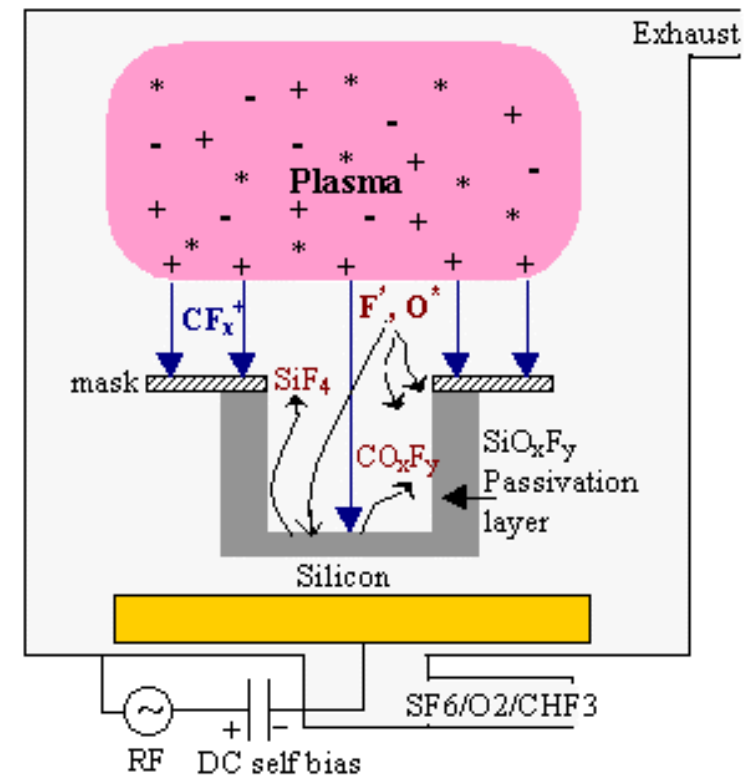
Plasma aus 3 Komponenten:

- $\text{SF}_6 \Rightarrow \text{F}^*$ - Radikale
- $\text{O}_2 \Rightarrow \text{O}^*$ - Radikale
- $\text{CHF}_3 \Rightarrow \text{CF}_x^+$ - Ionen

Jede der Komponenten hat eine spezielle Aufgabe:

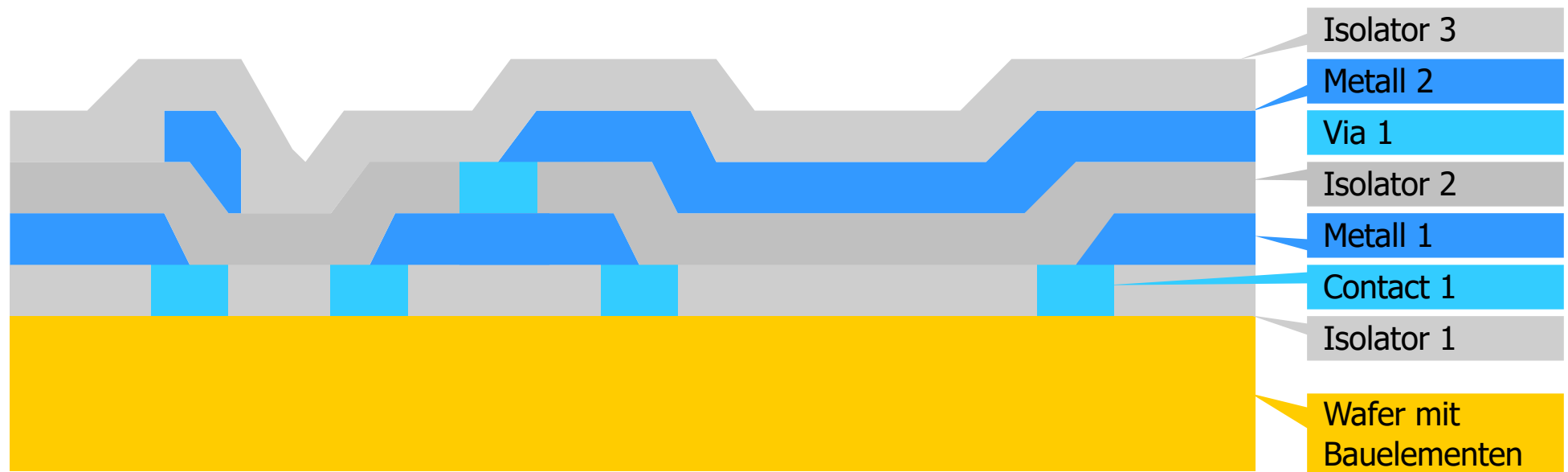
- F^* ätzt chemisch Silizium zu flüchtigem SiF_4
- O^* passiviert die Si-Oberfläche mit SiO_xF_y
- CF_x^+ löst die SiO_xF_y - Schicht vom Boden zum flüchtigen CO_xF_y

- Dadurch bei 'richtiger' Mischung sehr glatte Wände.
- Bei der MEMS Herstellung heute Standard: der **'Bosch Process'**
Hier wird permanent (Sekundentakt) zwischen Ätzen des Bodens und der Abscheidung eines (Polymer-) Schutzes an den Wänden gewechselt



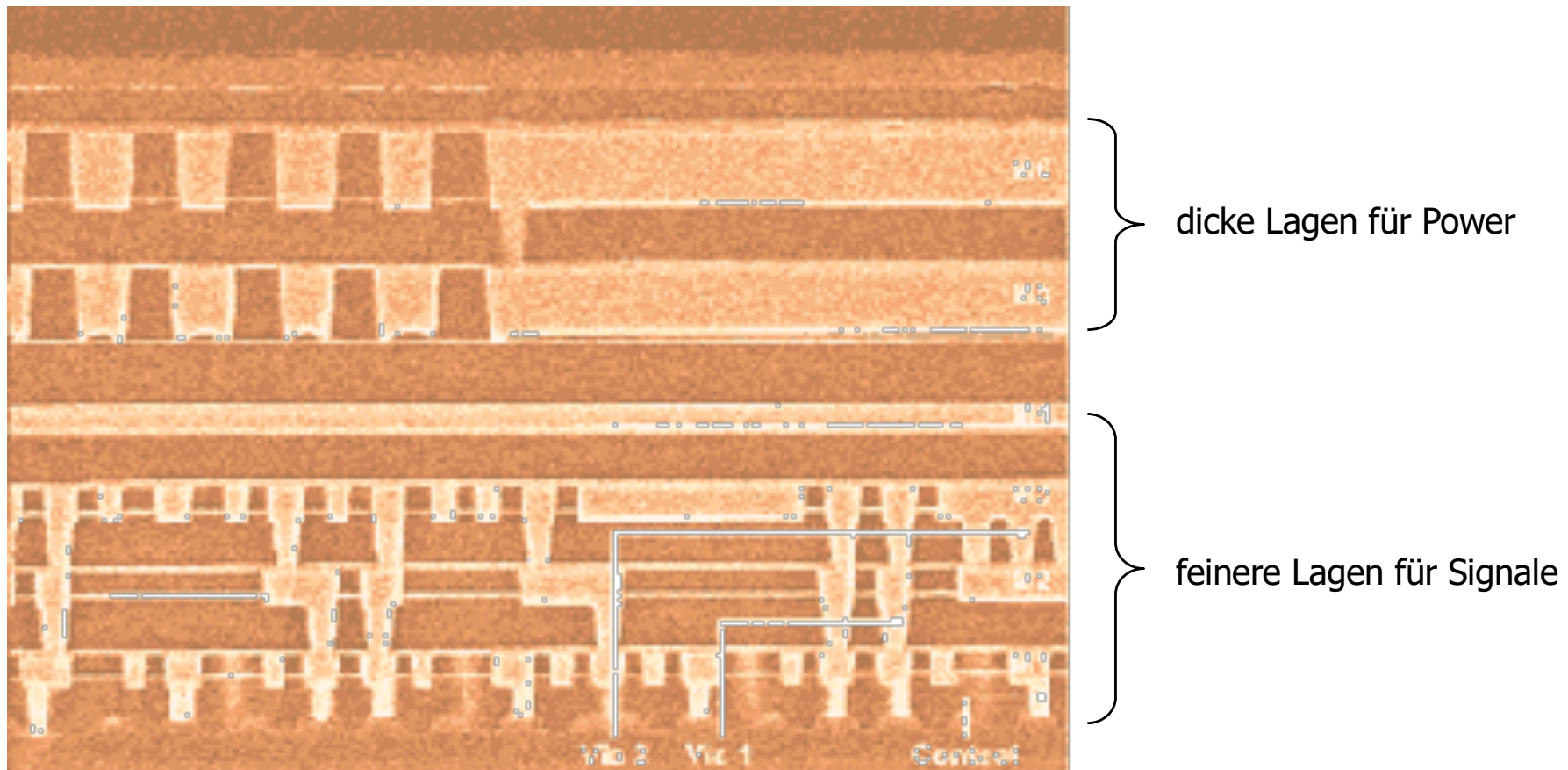
Metallisierung („back-end“)

- Nach der Herstellung der Transistoren („front end processing“) werden diese mit mehreren Metalllagen verbunden.
- Anforderungen:
 - dicke Metallagen (niedriger Widerstand) – $\sim 0.5\text{-}1\mu\text{m}$
 - kleine Strukturbreiten ($\sim 2 \times$ Gatelänge)
 - viele Lagen
 - dickes Dielektrikum zwischen den Lagen (kleine Kapazität)
 - niedrige Dielektrizitätskonstante (kleine Kapazität)
- Problem:
Bei vielen Lagen wird die Oberfläche immer unebener und die Strukturen müssen in den oberen Lagen größer sein:



Planarisierung

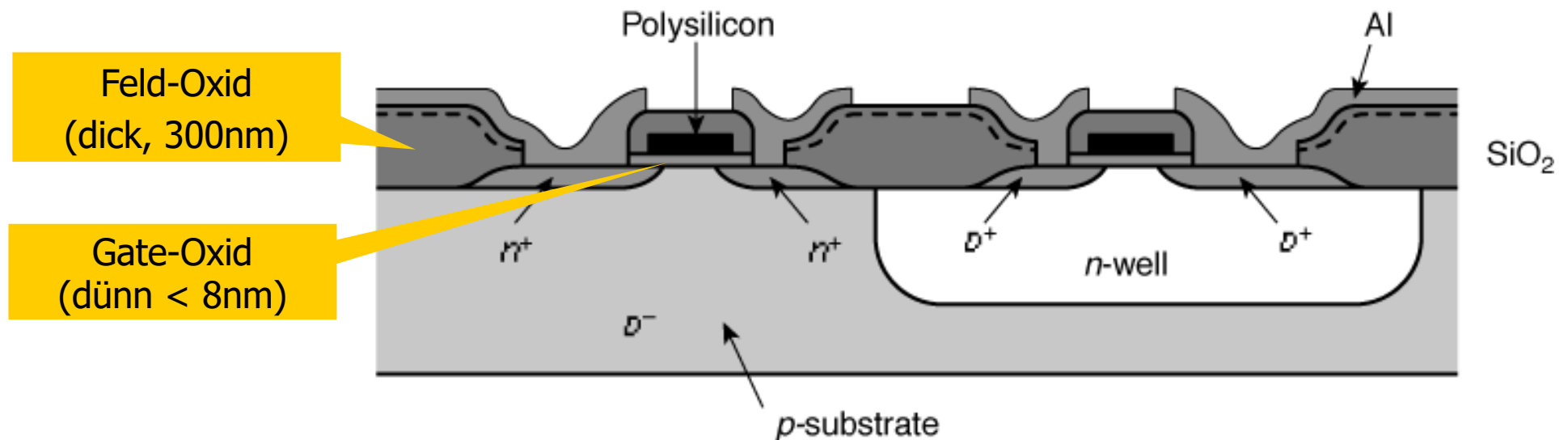
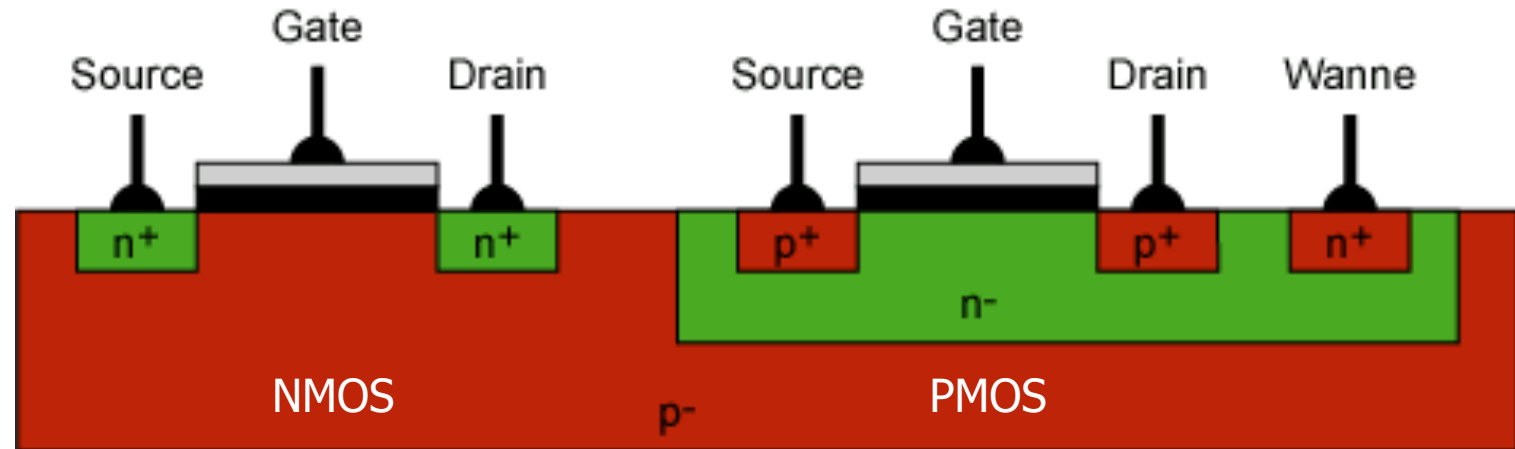
- Mit CMP ('**C**hemical-**M**echanical-**P**olishing') wird eine Lage nach der Herstellung plan gemacht:
 - 'Schleifmittel' mit Korngrößen von 10-90 nm
 - Dazu Ätzmittel (z.B. verdünnte HF)
- Seit CMP sind **praktisch beliebig viele Lagen** möglich. Z.Z. schon > 9 !!! (obere Lagen meist Power)



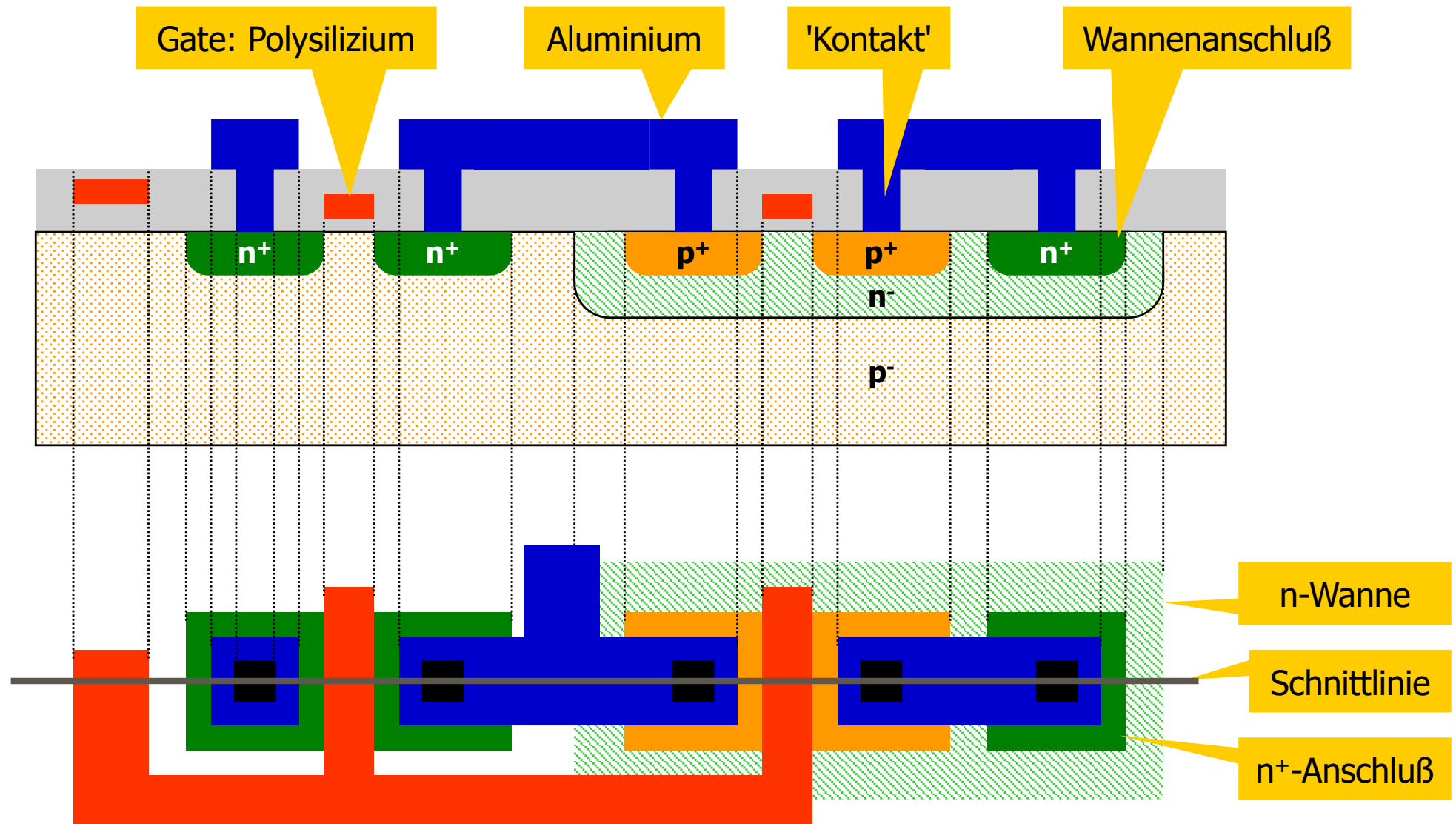
Zusammenfassung: Technologieschritte

- Verfahren auf der gesamten Waferfläche:
 - **Abscheidung** (Polysilizium, Metall,...): Verdampfen, Gasphasenabscheidung (CVD), Sputtern
 - Thermische **Oxidation** (naß, trocken bei 1000°C)
 - Aufbringen von **Photolack** (spin-on)
 - **CMP** Chemical Mechanical Polishing
- **Lithographie**: Strukturierung der aufgetragenen (Lack-) Schichten.
 - Belichtung meist mit einer verkleinerten Maske im Stepper
 - Für kleine Strukturen: Einsatz von UV-Licht mit kurzer Wellenlänge (193 nm).
'Umgehen' des Beugungslimits mit OPC, Phase Shifting, ..
 - In der nahen Zukunft Extrem-UV-Licht (13.5nm) mit vielen technologischen Herausforderungen
 - Elektronenstrahl-Direktbelichtung (langsam, braucht aber keine Maske)
- **Ätzen** von Poly, Metall, SiO₂, ...
 - Isotrope Verfahren (alle Richtungen) und anisotrope Verfahren, insb. f. MEMS
 - **Naßchemisch (isotrop), Plasmaätzen (isotrop, anisotrop), Ionenätzen (anisotrop)**
 - Selektives Ätzen: HF ätzt SiO₂ aber nicht Si
- **Dotierung**: Einbringen von Fremdatomen (Wannen, Drain/Source, Bulk-Kontakt, Einstellen der Schwelle, Reduktion von Flächenwiderstand des Poly-Siliziums)
 - Implantation
 - Diffusion
- Dazwischen: Waschen, Trocknen, Tests
- Insgesamt »400 Einzelschritte, ca. 30 Masken
- Hohe Anforderung an die Reinheit der Luft, des Wassers etc.
Die Reinnräume ('clean rooms') werden in Klassen eingeteilt, die die Anzahl Partikel einer Mindestgröße pro Volumen angeben. Je kleiner die Klasse, desto reiner die Luft.

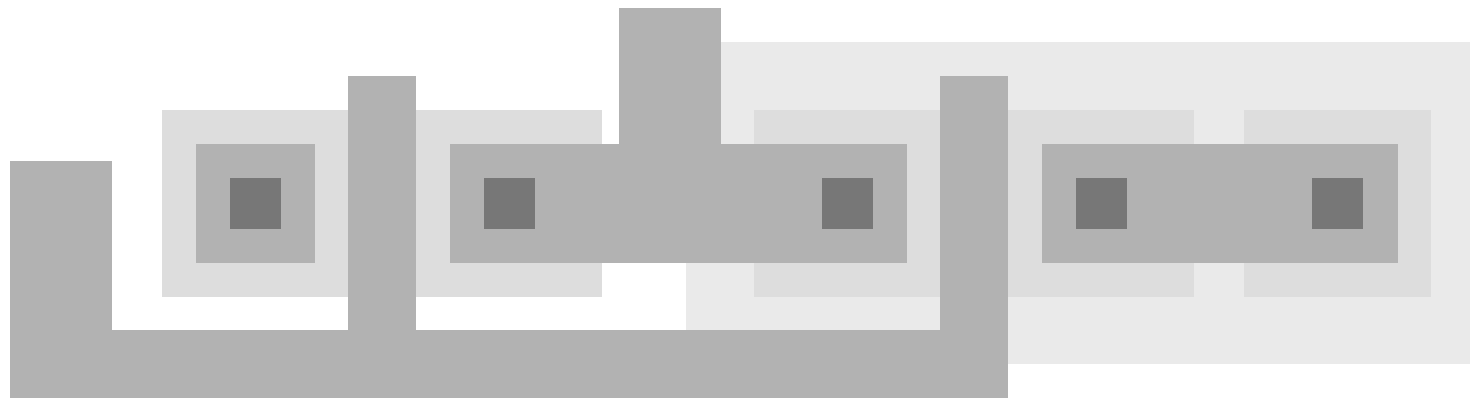
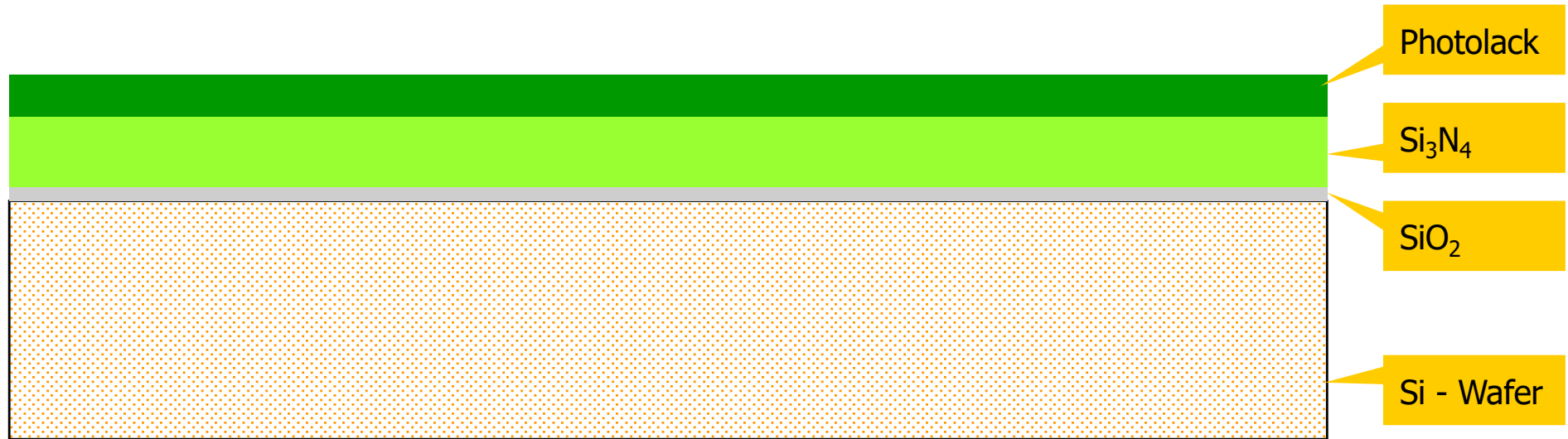
Abfolge der Prozeßschritte für CMOS



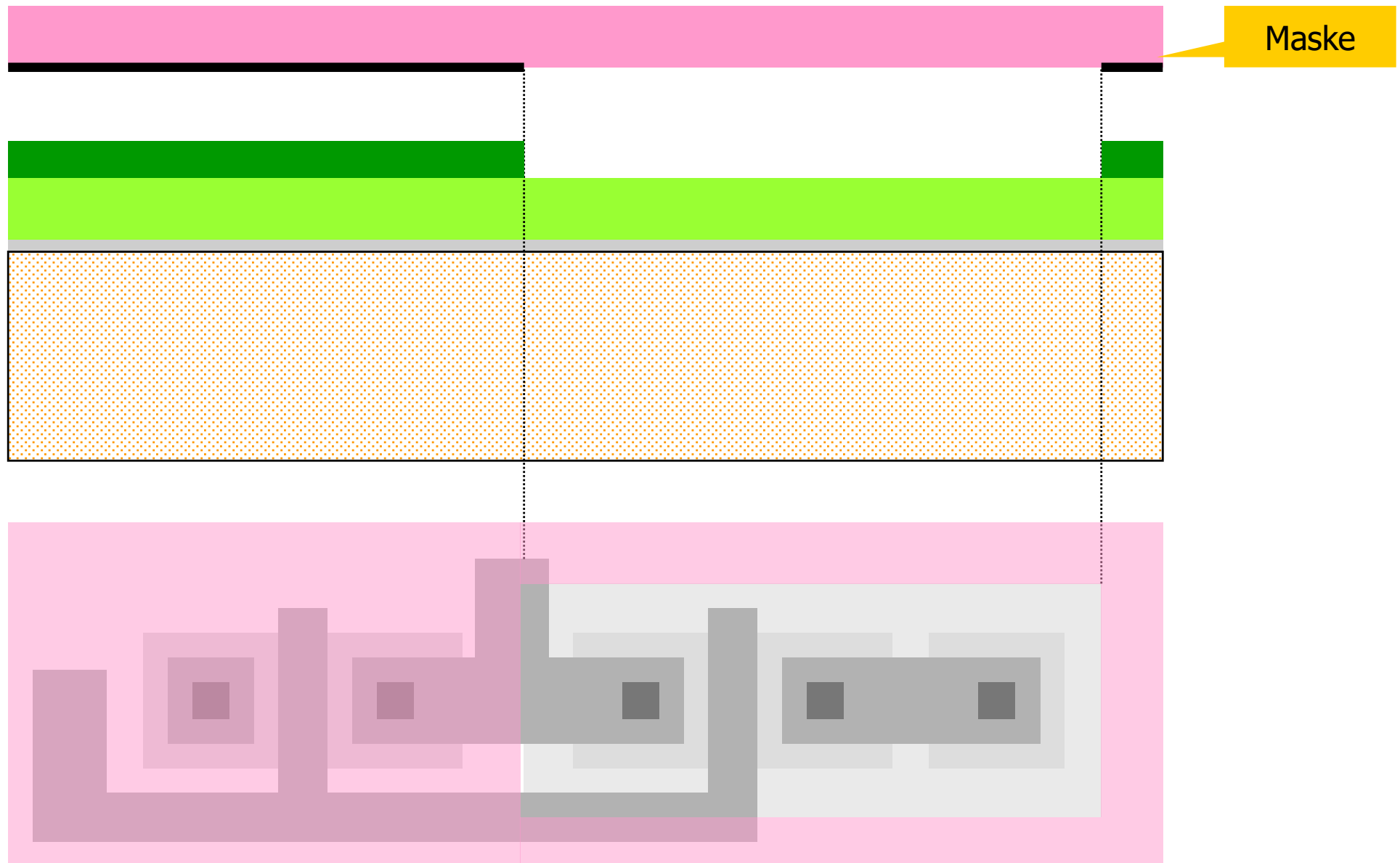
Prozeßabfolge CMOS Inverter



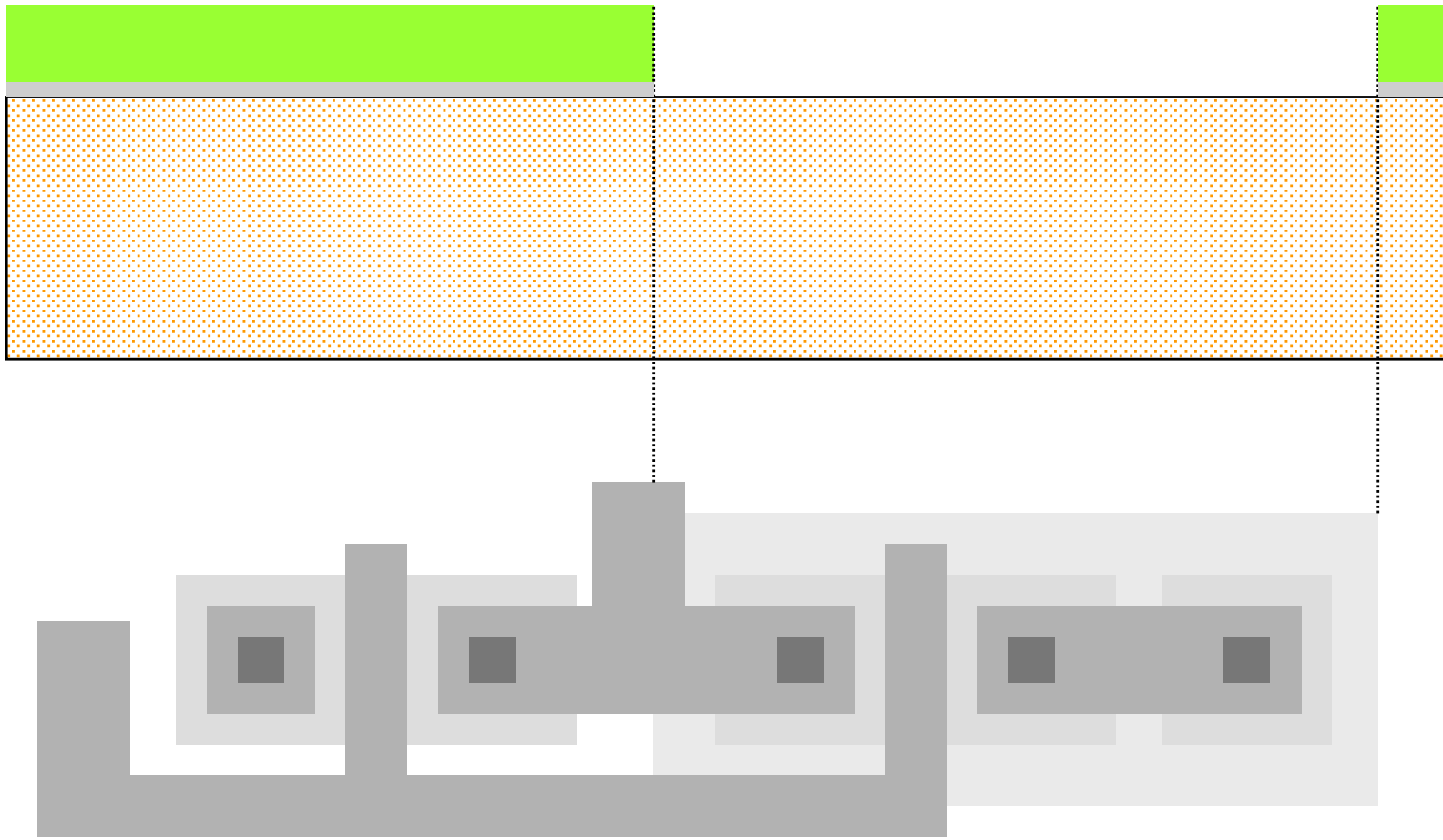
SiO₂ und Si₃N₄-Schichten + Photolack



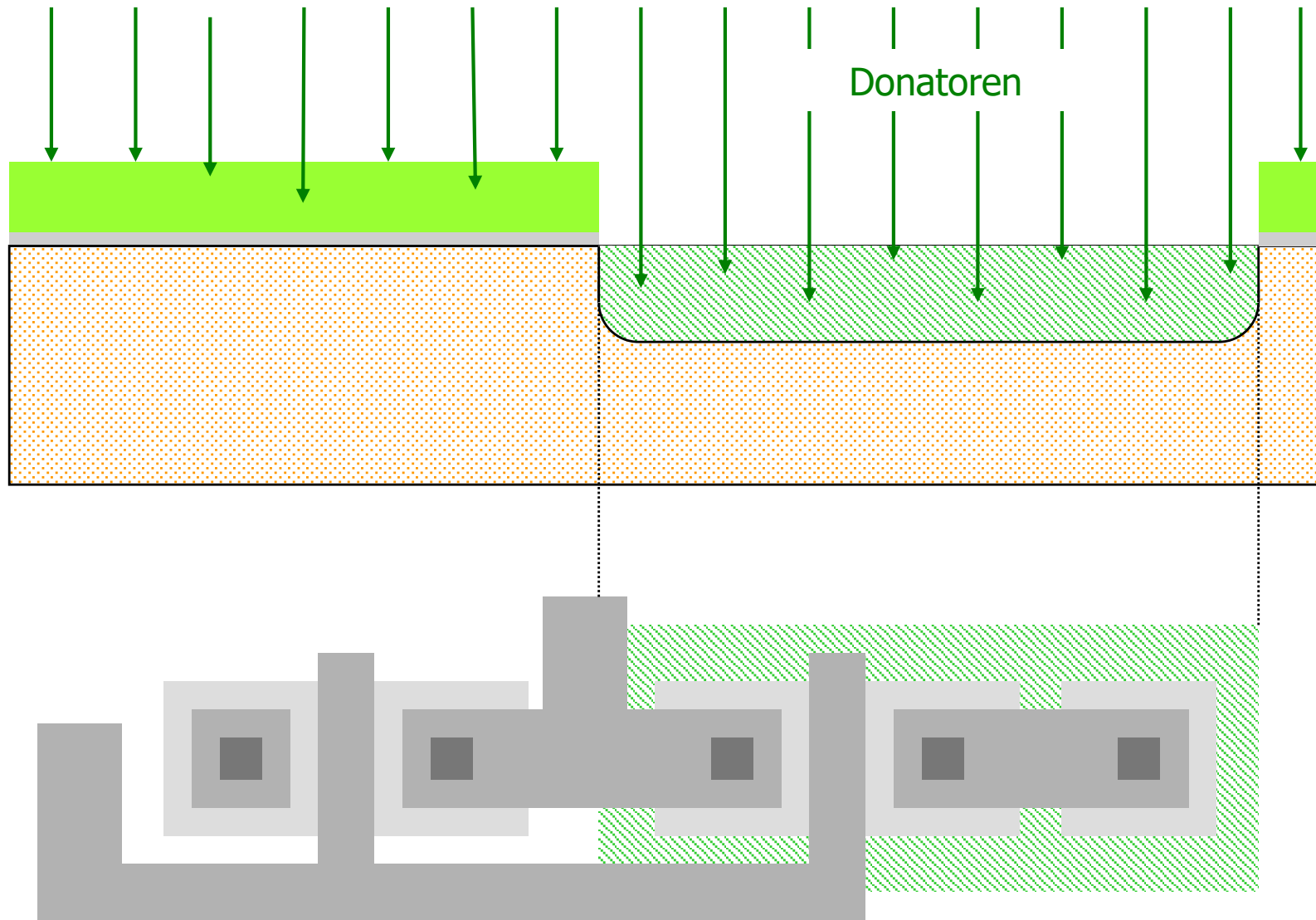
n-Wanne: Strukturierung des Photolacks



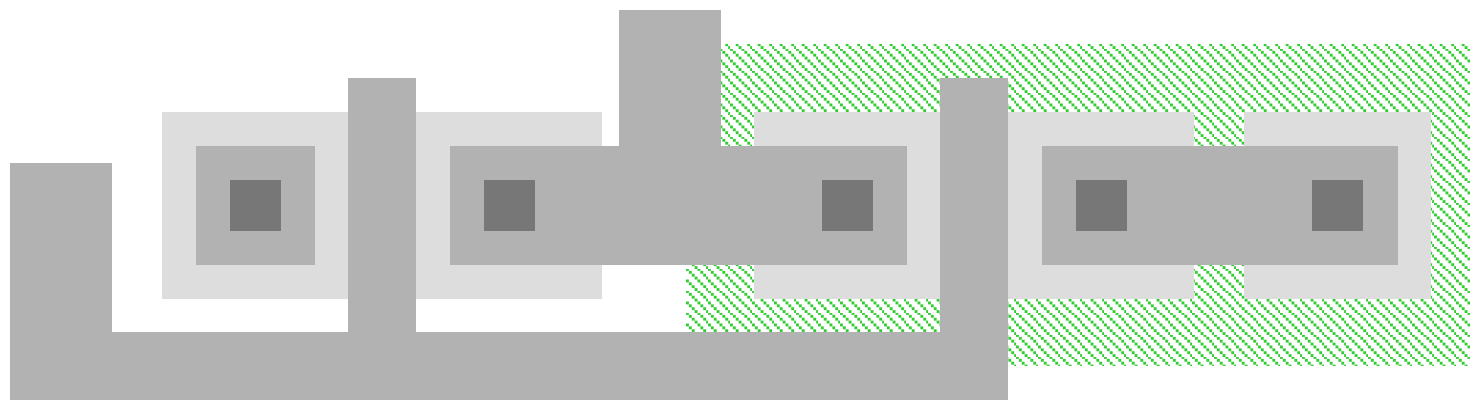
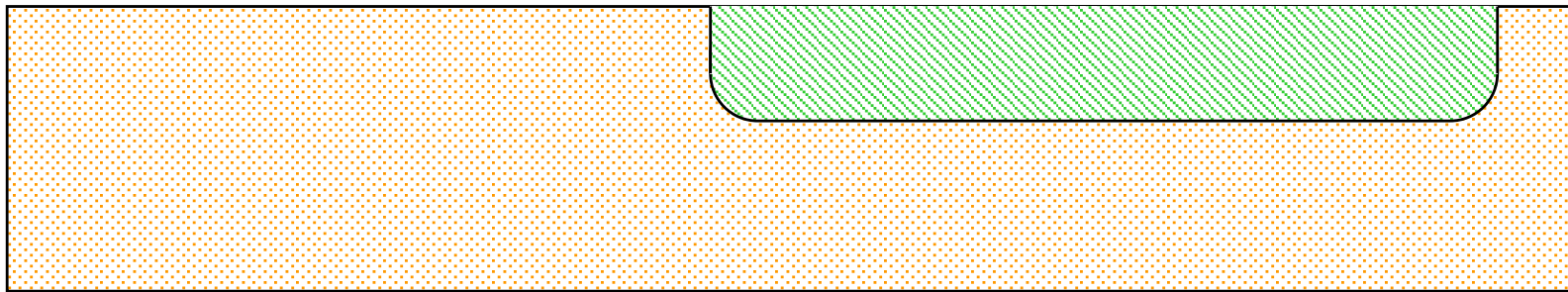
n-Wanne: Ätzen der Implantationsmaske



n-Wanne: Implantation / Diffusion



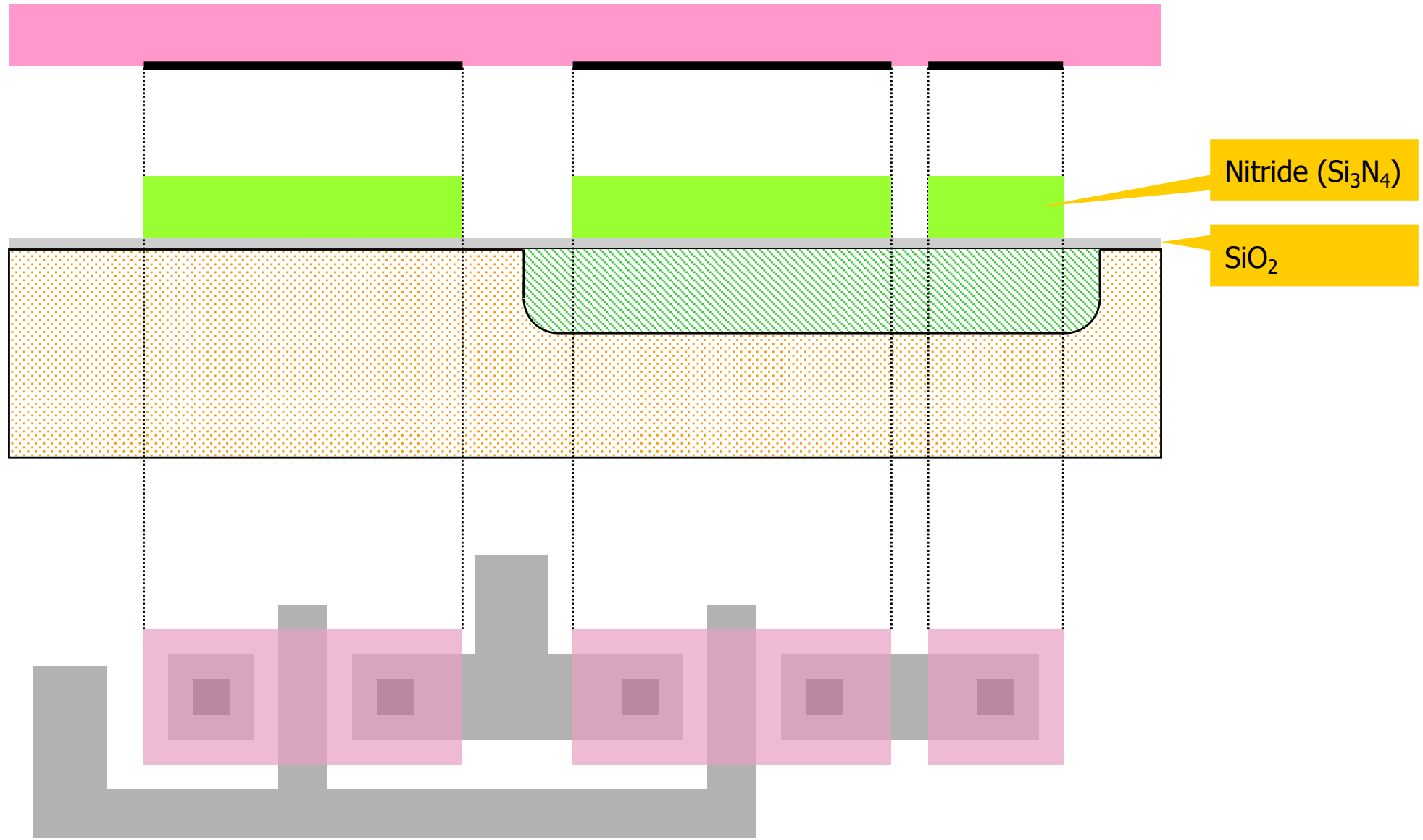
fertige n-Wanne



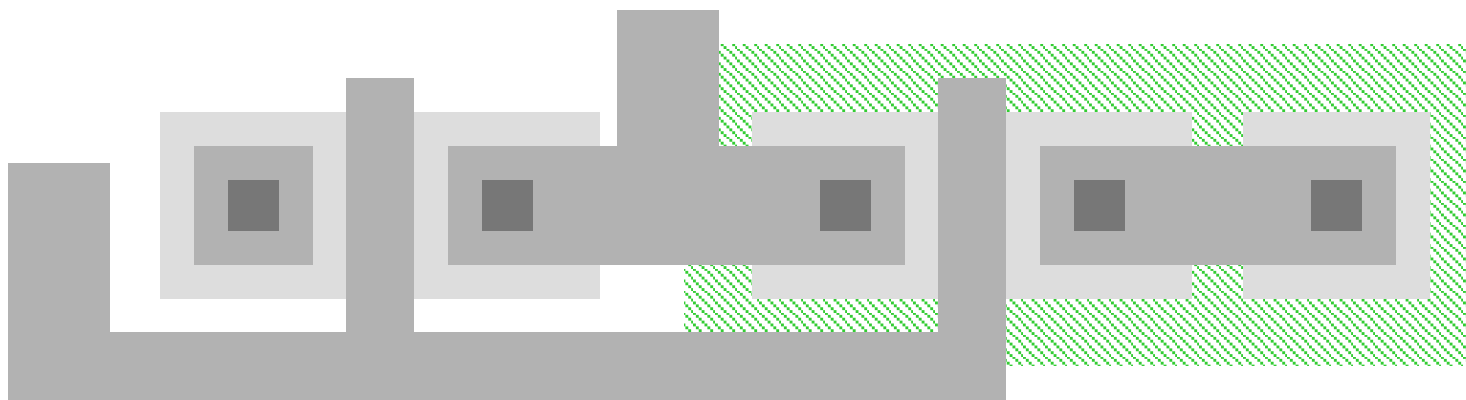
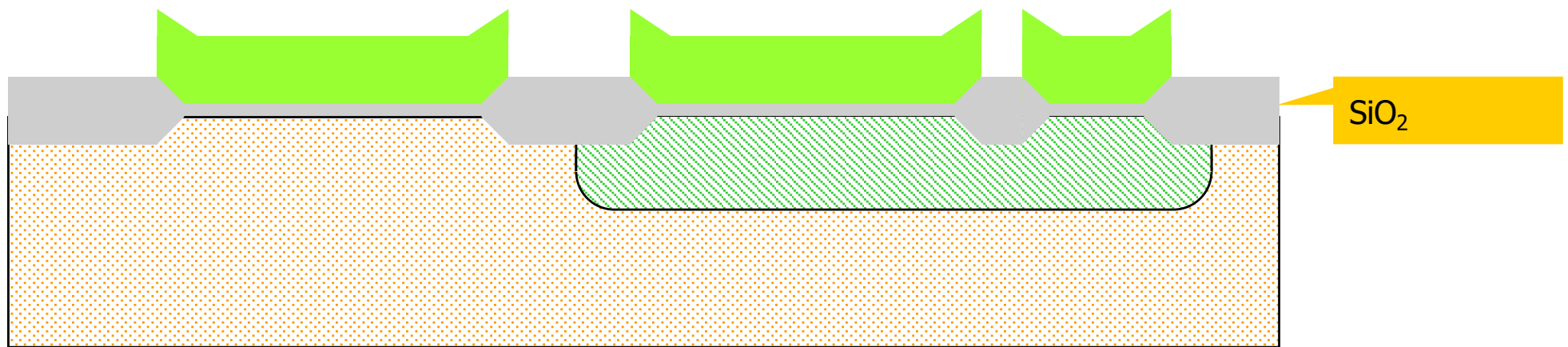
Weitere Schritte

- Die weiteren Schritte sind verkürzt dargestellt (z.T. kein Photolack etc.)

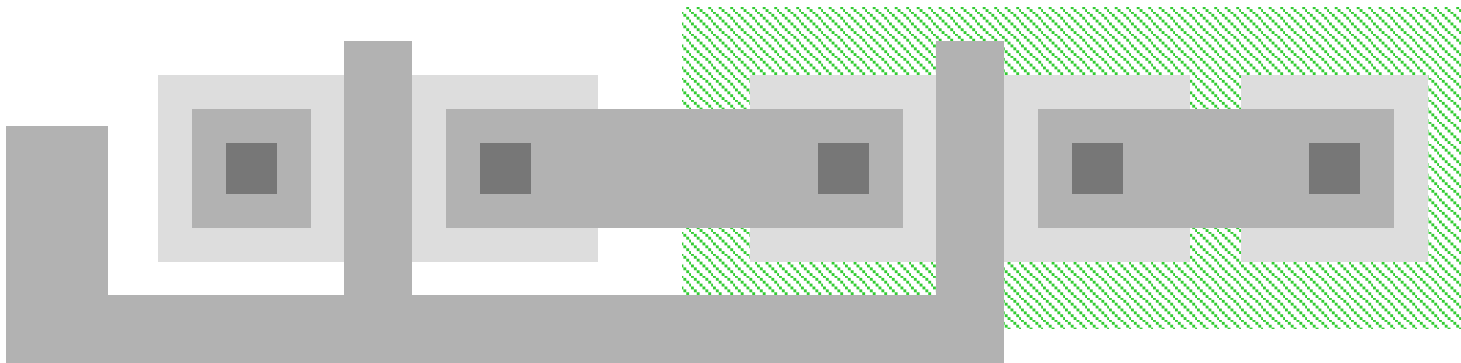
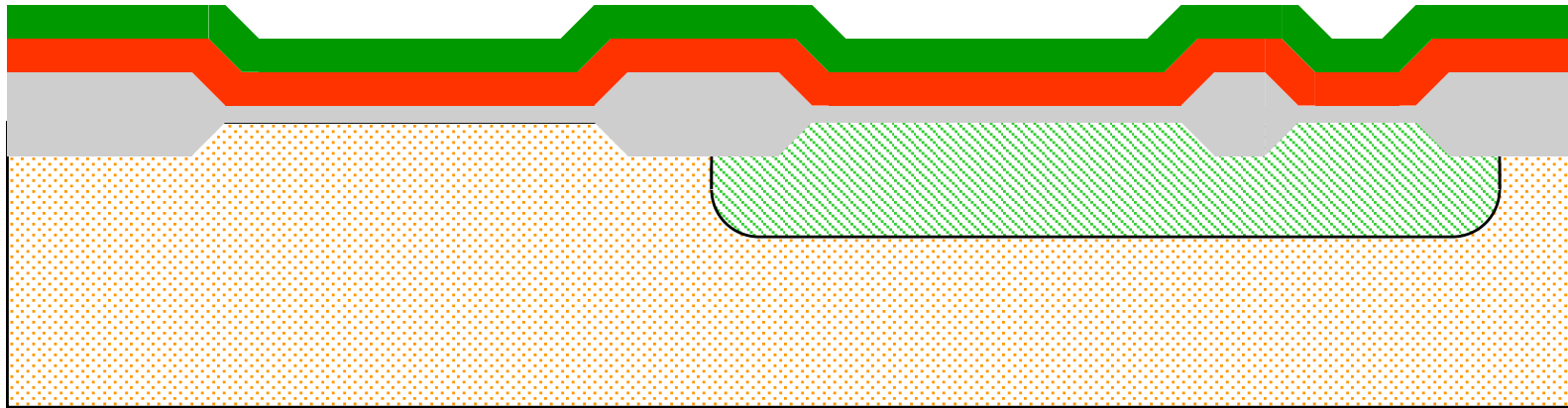
Strukturierung der Maske für das Feldoxid (LOCOS)



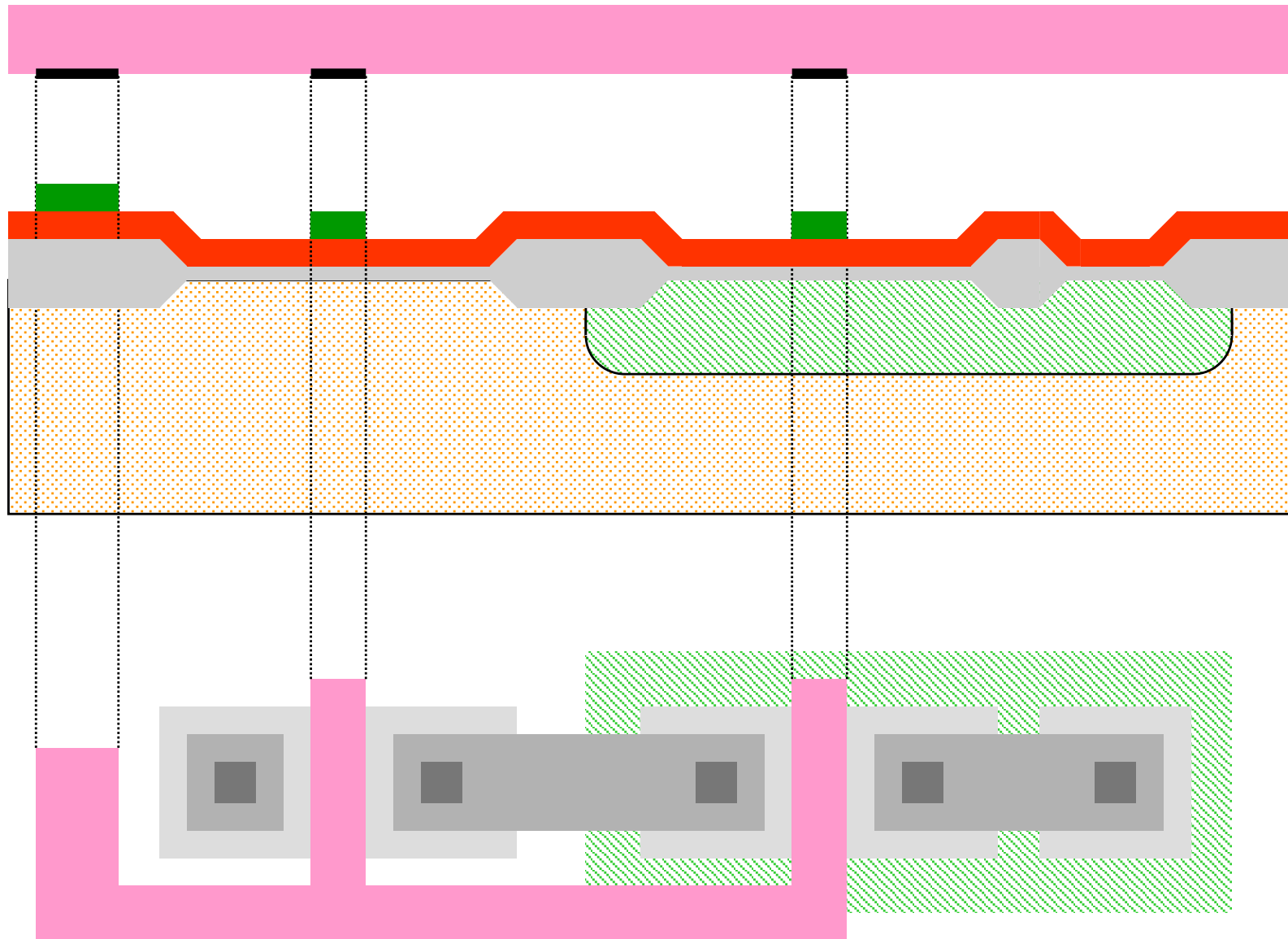
Aufwachsen des LOCOS ('Active'-Maske)



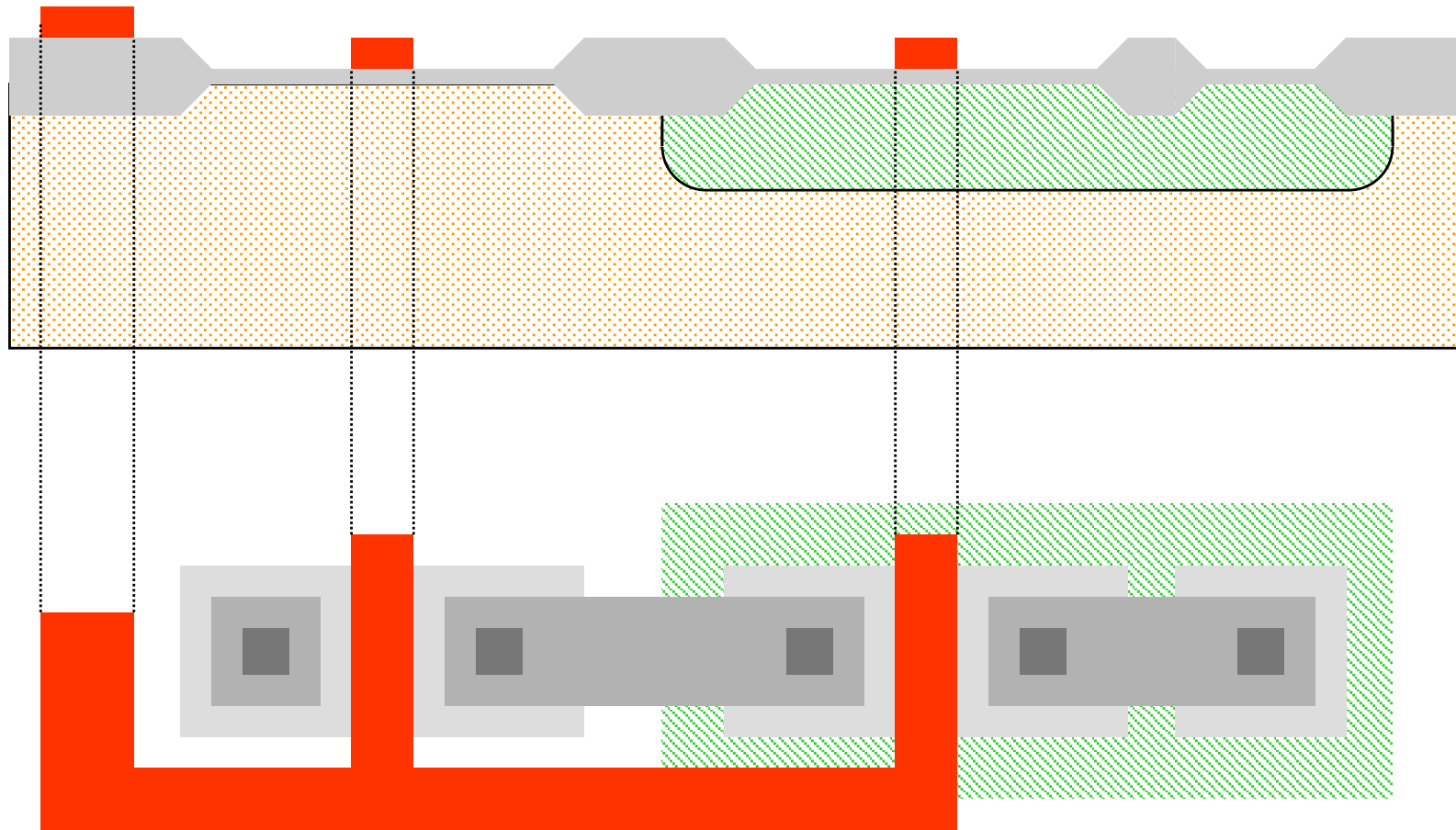
Poly-Silizium + Photolack



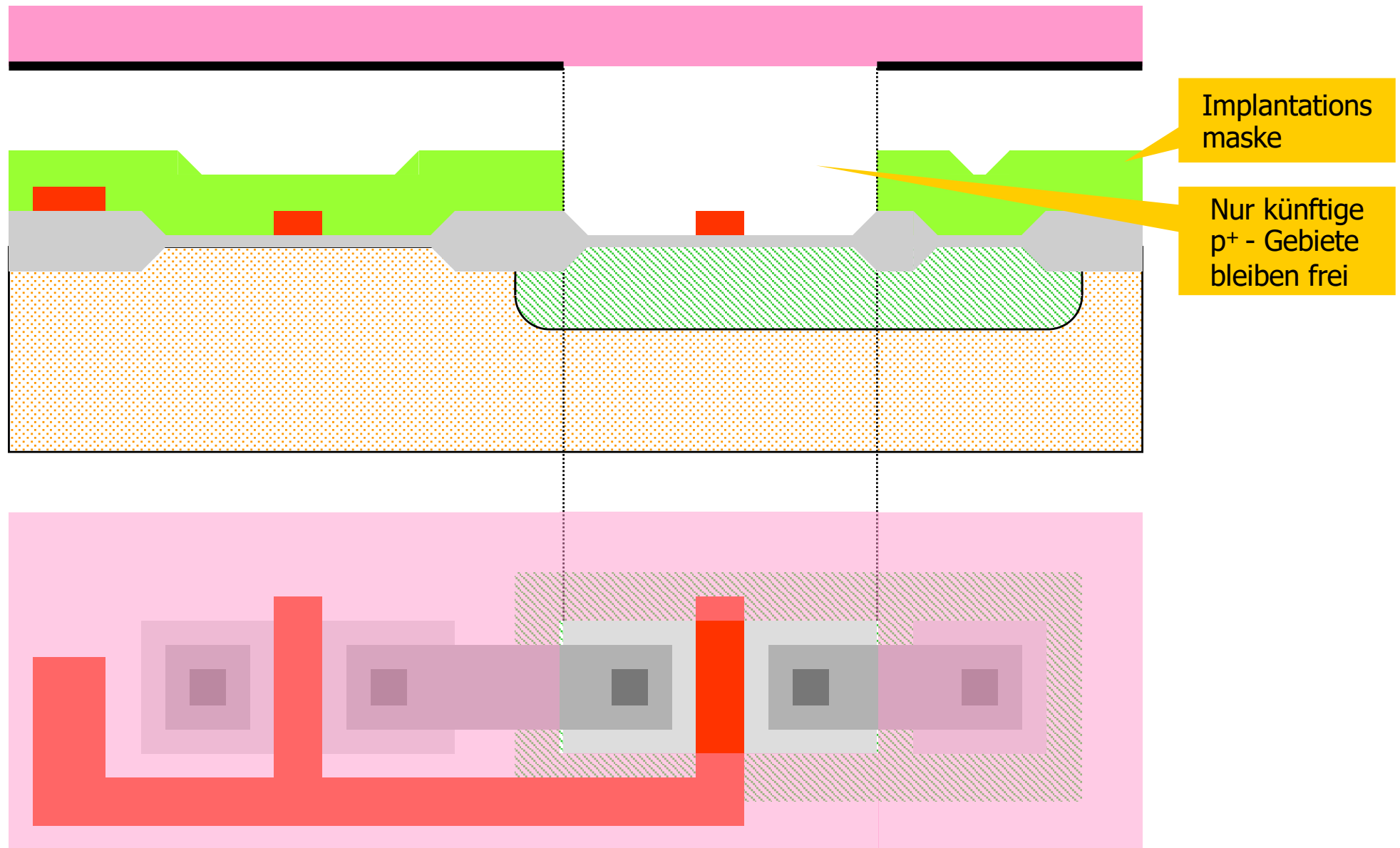
Poly-Silizium: Strukturierung Photolack



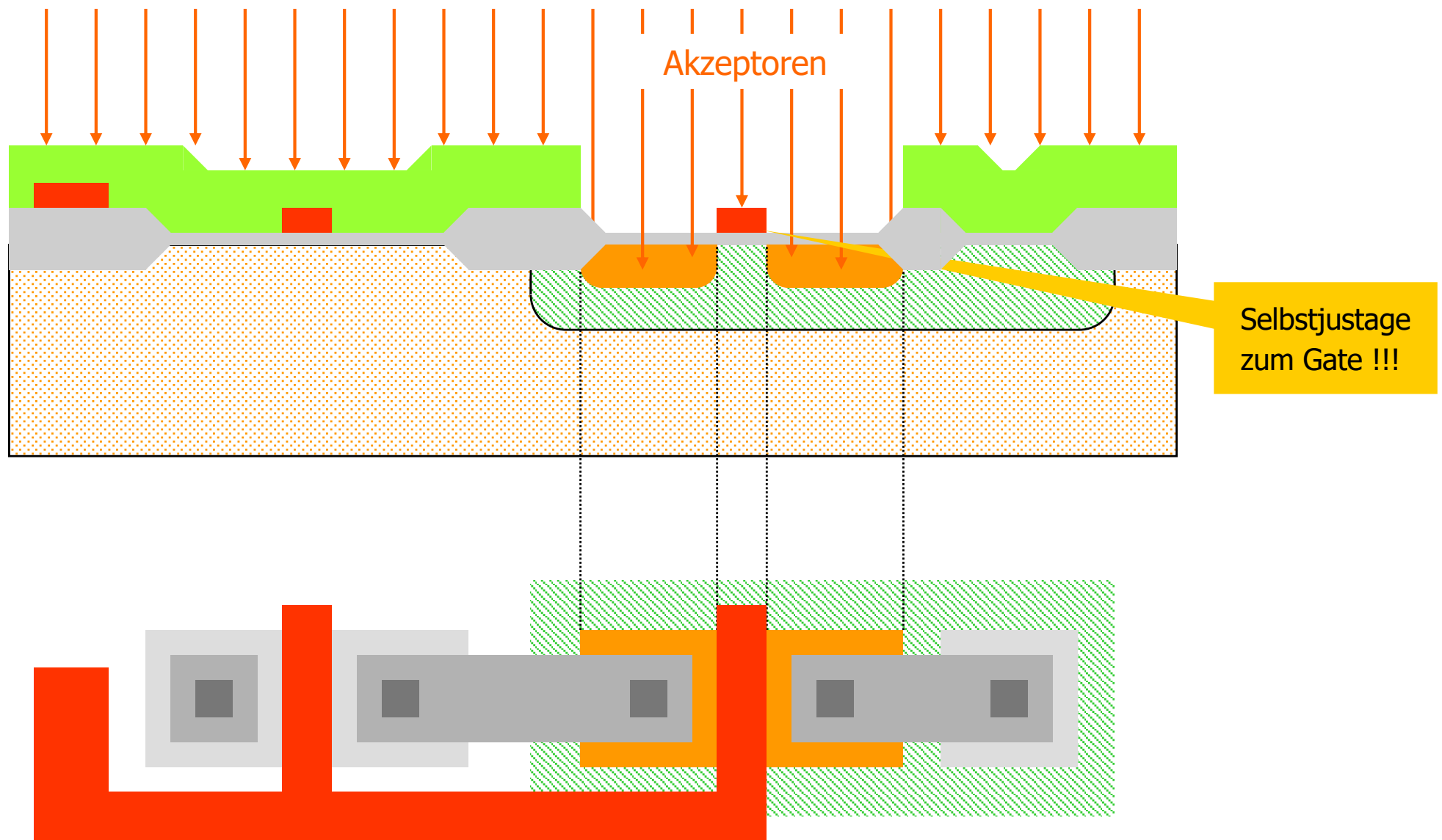
Poly-Silizium: Ätzen



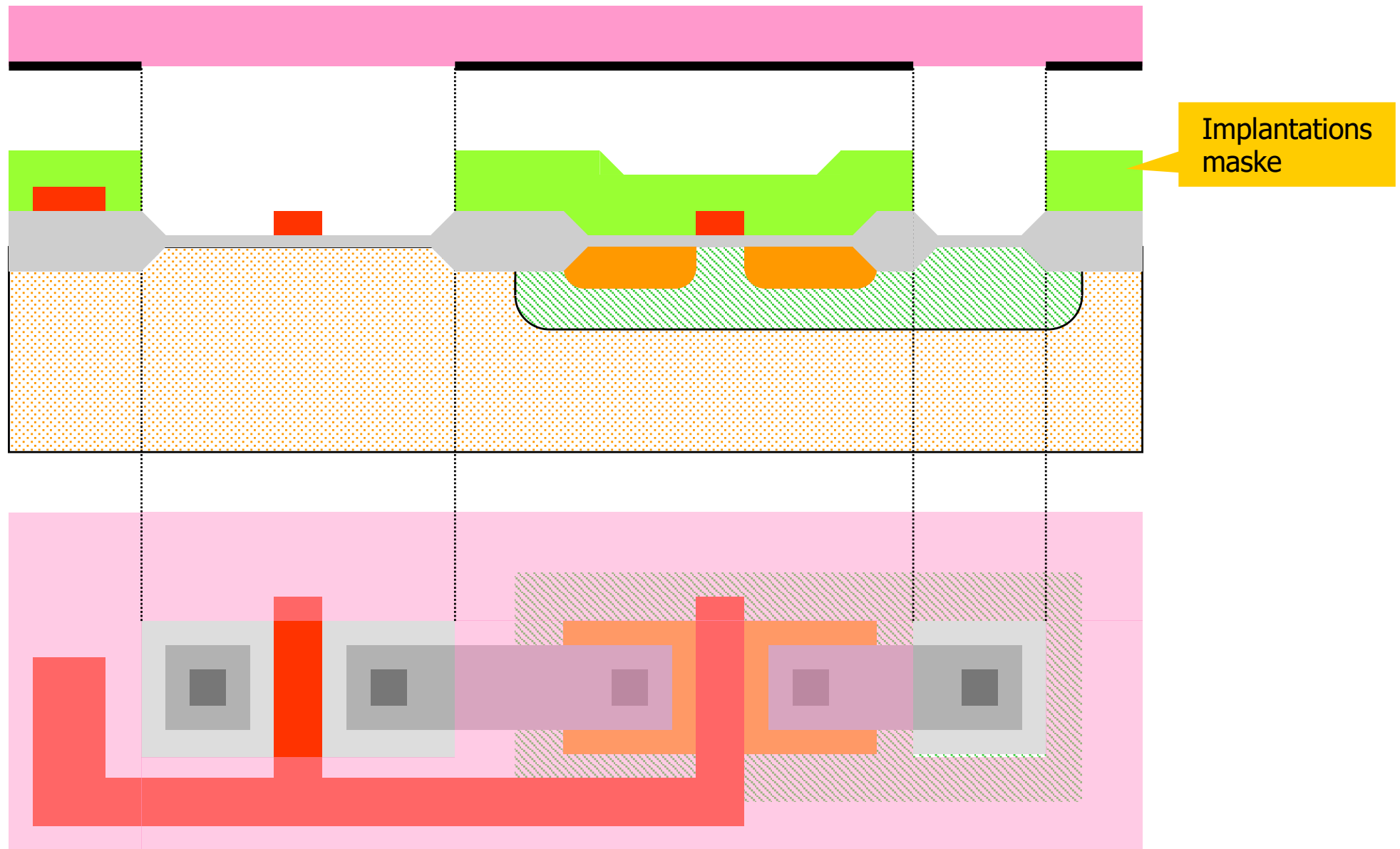
p⁺-Implantation: Implantationsmaske



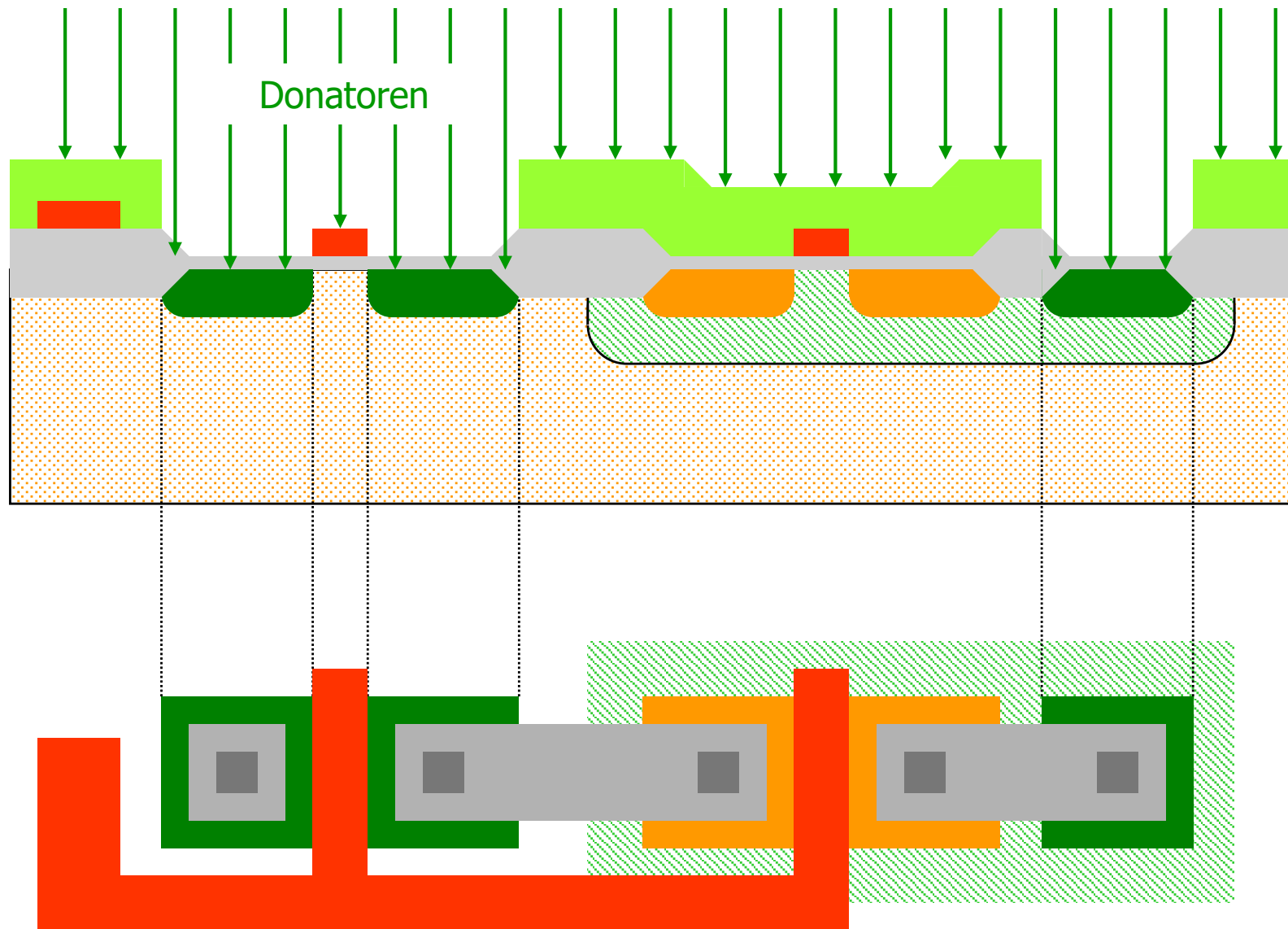
p⁺-Implantation: Implantation / Diffusion



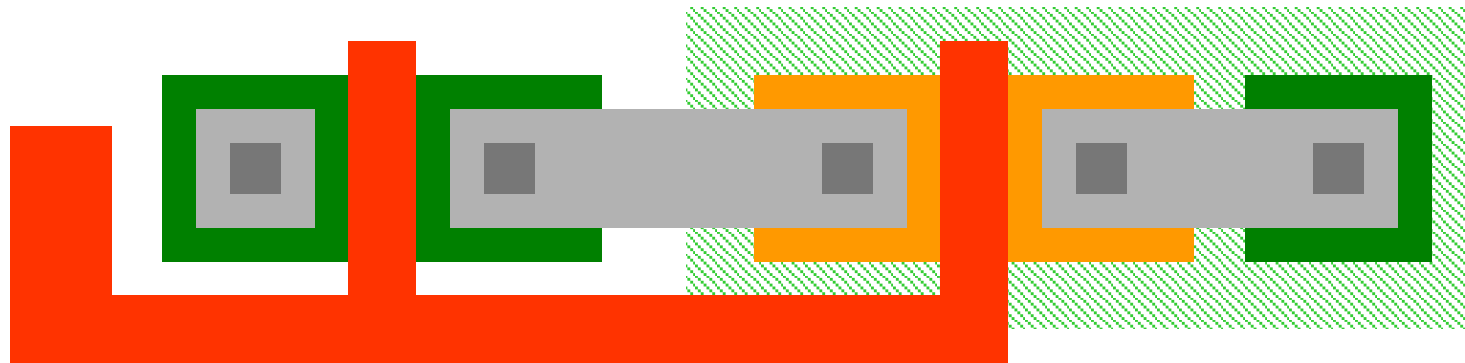
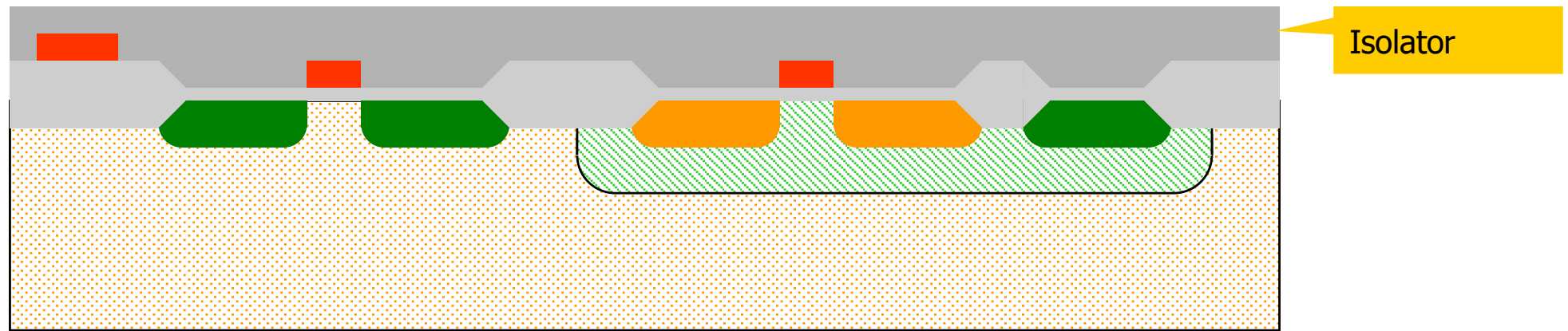
n⁺-Implantation: Implantationsmaske



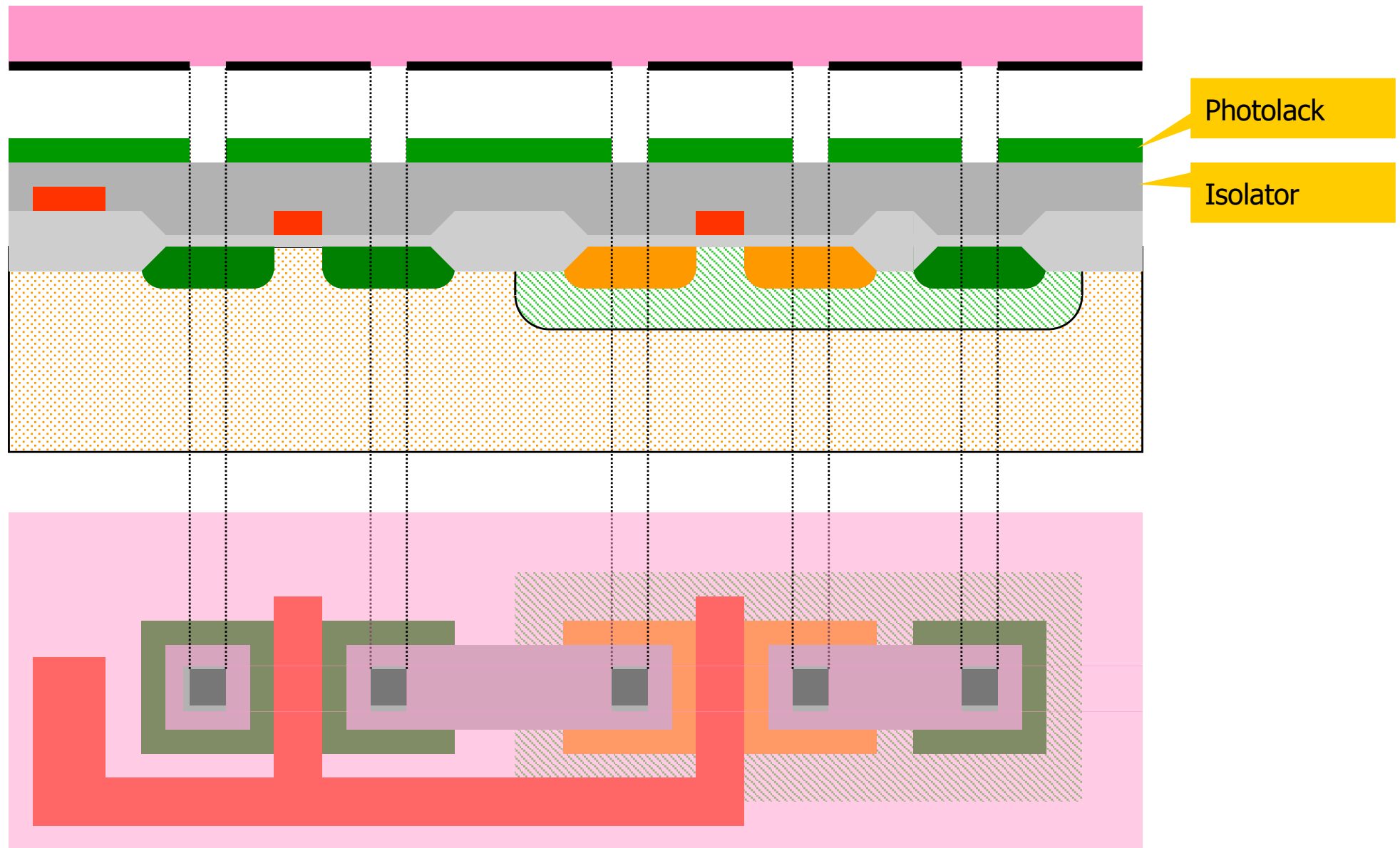
n^+ -Implantation: Implantation/Diffusion



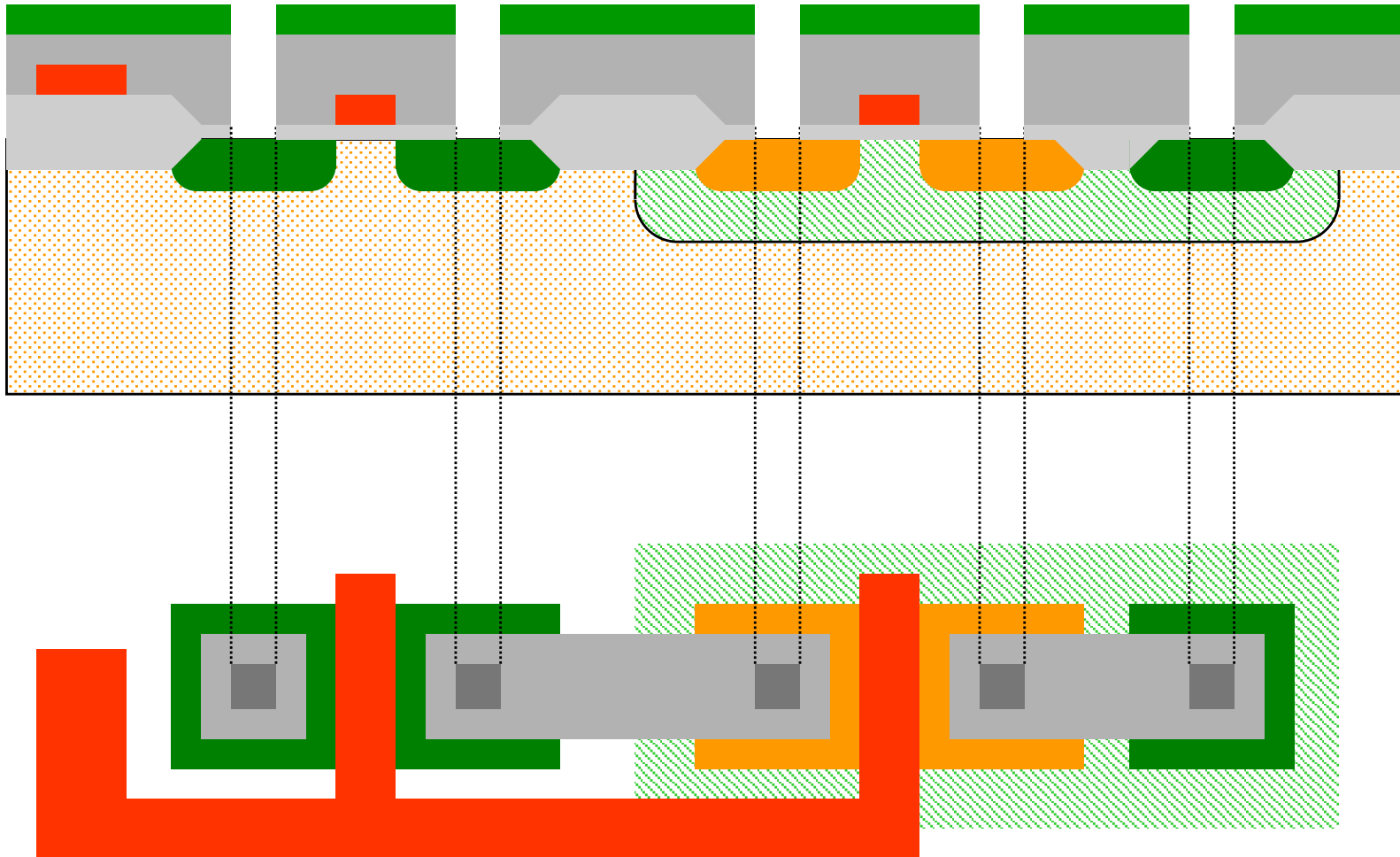
Isolator



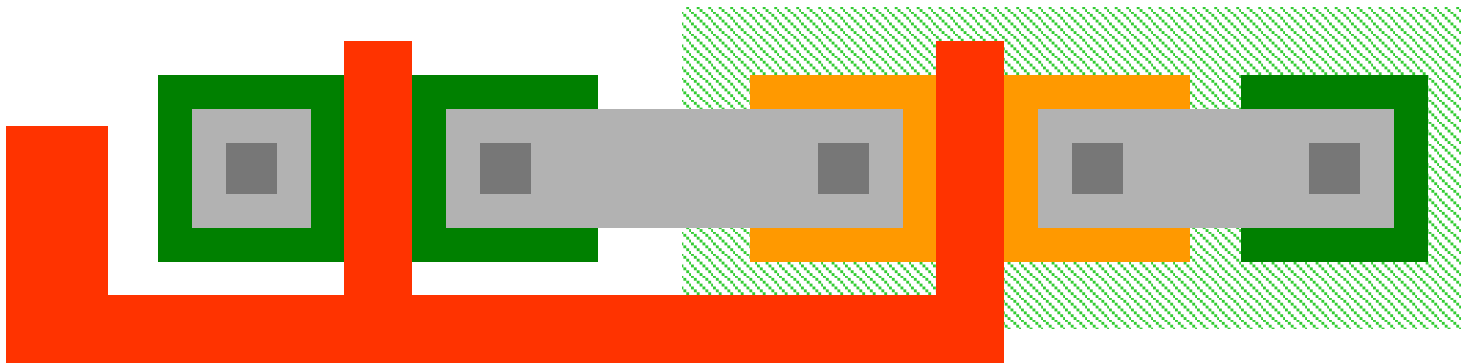
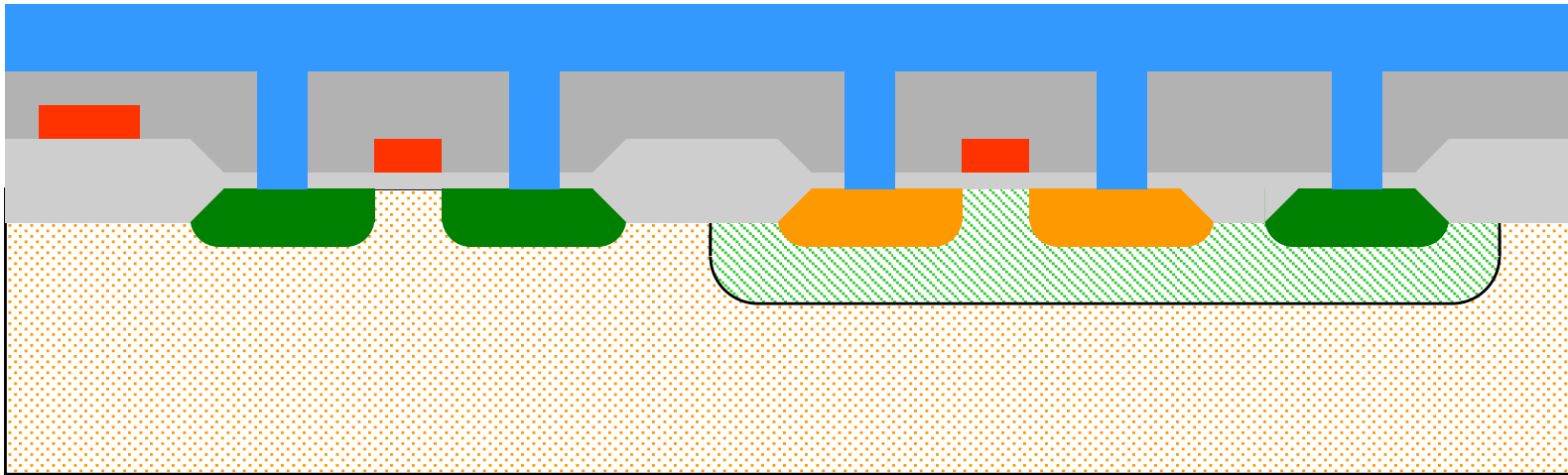
Strukturierung Kontakte



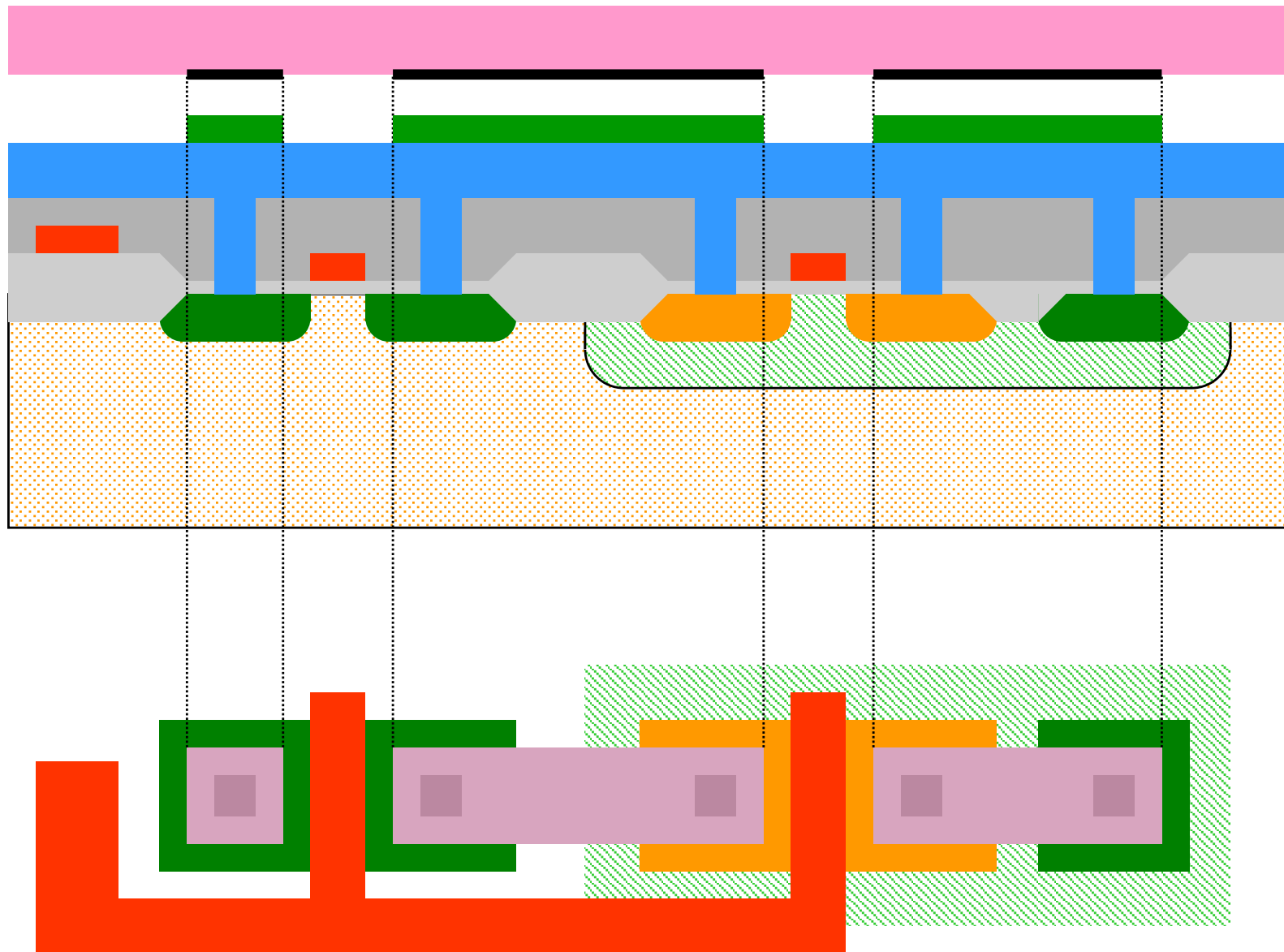
Kontakte: Ätzen



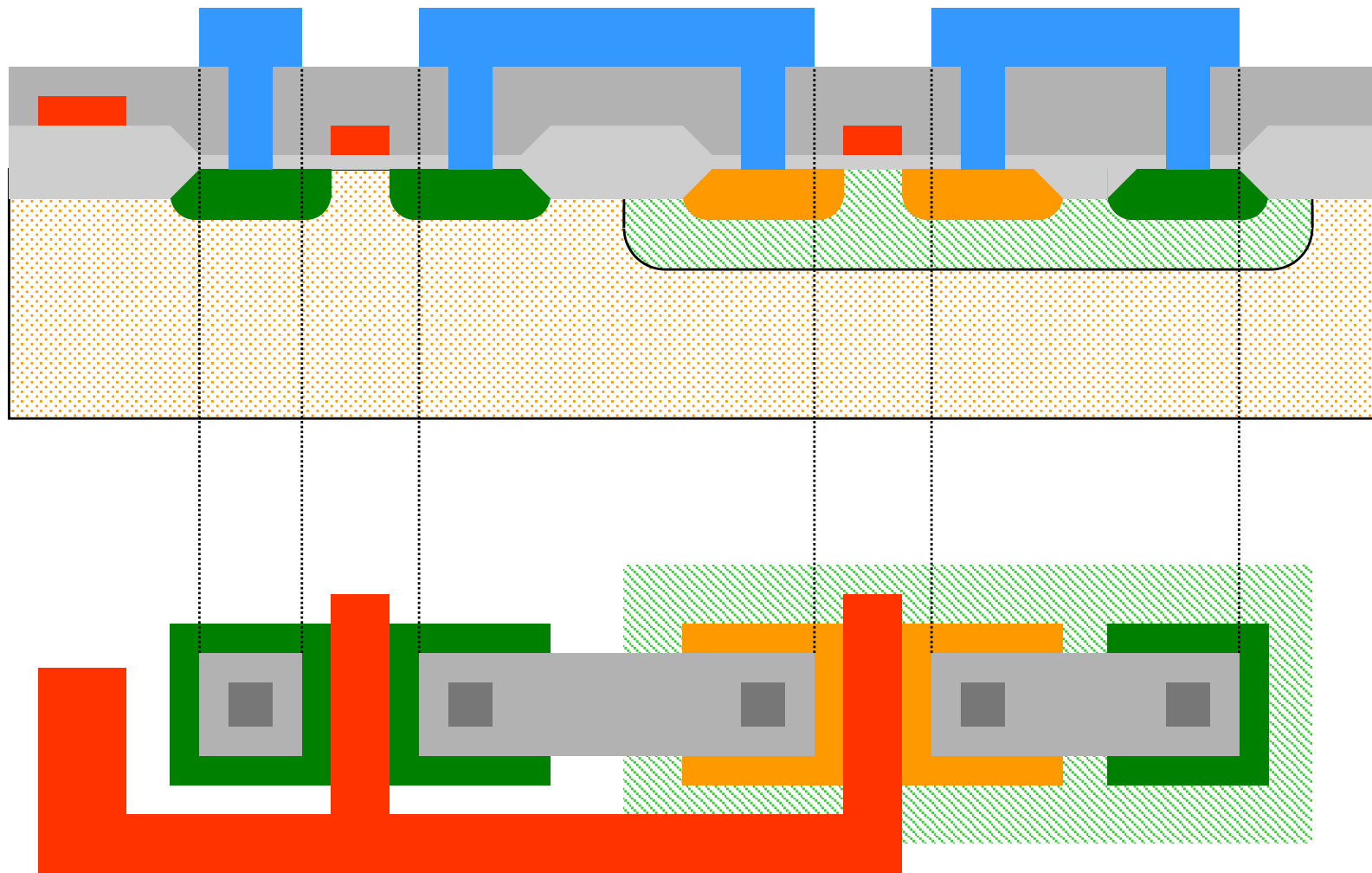
Aluminium: Abscheidung (vereinfacht)



Aluminium: Strukturierung



Aluminium: Ätzen



Zusatzbemerkungen

- Wichtig: **Selbstalignierung**: Poly = Maske für Drains/Source-Implantation
- Kontakte zu Drain/Source-Gebieten werden mit der selben Maske erzeugt wie Kontakte auf Poly !!
- Unter dem dicken Oxid wird das Substrat oft p+ dotiert um einen parasitären NMOS zu vermeiden. Diese ‚Channel-Stop‘-Implantationen dürfen nicht in n+ Gebiete reichen, um hohe Felder zu vermeiden.
- Das Poly-Silizium der Gates wird oft dotiert, um den Widerstand zu reduzieren. Gleiche Dotierung für NMOS und PMOS oder unterschiedliche Dotierungen sind gebräuchlich.
- Manchmal werden für beide Transistortypen eigene Wannen hergestellt ('twin-well process'). Die Dotierungsstärken und Profile können dadurch besser optimiert werden.
- In 'analogen Prozessen' sind lineare (spannungsunabhängige) Kondensatoren möglich. Oft wird dazu eine zweite Poly-Lage mit dünnem Zwischenoxid hergestellt.

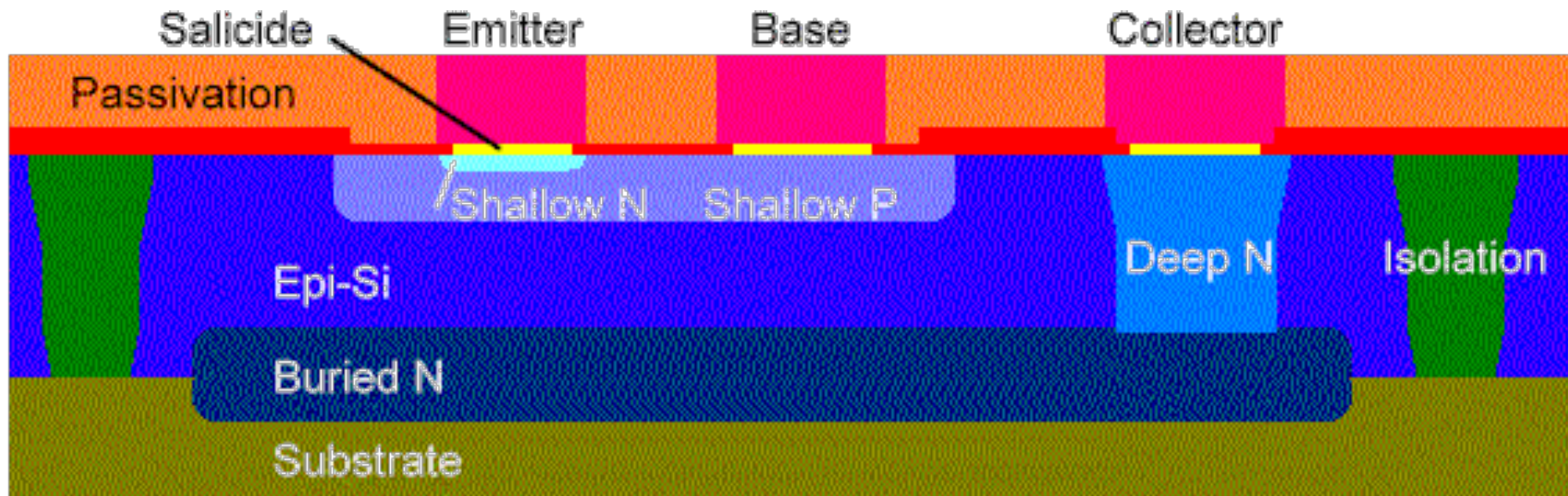
Manchmal sind auch Metal-Metal-Caps (MMC) = Metal-Insulator-Metal (MIM) verfügbar.

Externe Applets zur Abfolge der Prozeßschritte

- Diodenherstellung (Buffalo)
<http://jas.eng.buffalo.edu/education/fab/pn/diodeframe.html>
- NMOS mit Metall Gate, ohne self-Alignment
<http://jas2.eng.buffalo.edu/applets/education/fab/NMOS/nmos.html>
- CMOS (Buffalo)
<http://jas2.eng.buffalo.edu/applets/education/fab/invFab/index.html>
- CMOS (Erlangen)
<http://www.leb.e-technik.uni-erlangen.de/lehre/mm/html/start.htm>
- CMOS Applet bei Smile in Hamburg
<http://smile.unibw-hamburg.de/Herstellungsprozesse/CMOSProzess.htm>
- 3D Darstellung wichtiger Prozeßschritte bei MOS-Herstellung
<http://www.micro.magnet.fsu.edu/electromag/java/transistor/index.html>

Bipolar-Struktur

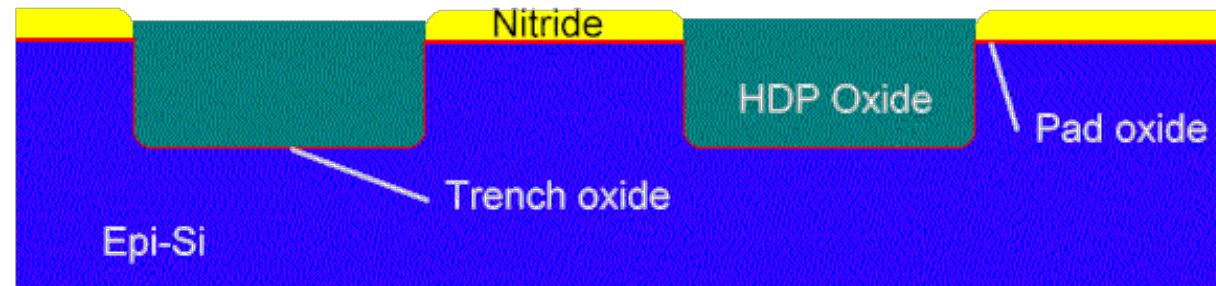
- Wichtig ist der 'vergrabene' Kollektorkontakt ('buried N')
Er muß vor dem Epi-Schritt definiert werden. Jeder Run erfordert daher ein eigenes Epi, was teuer ist.



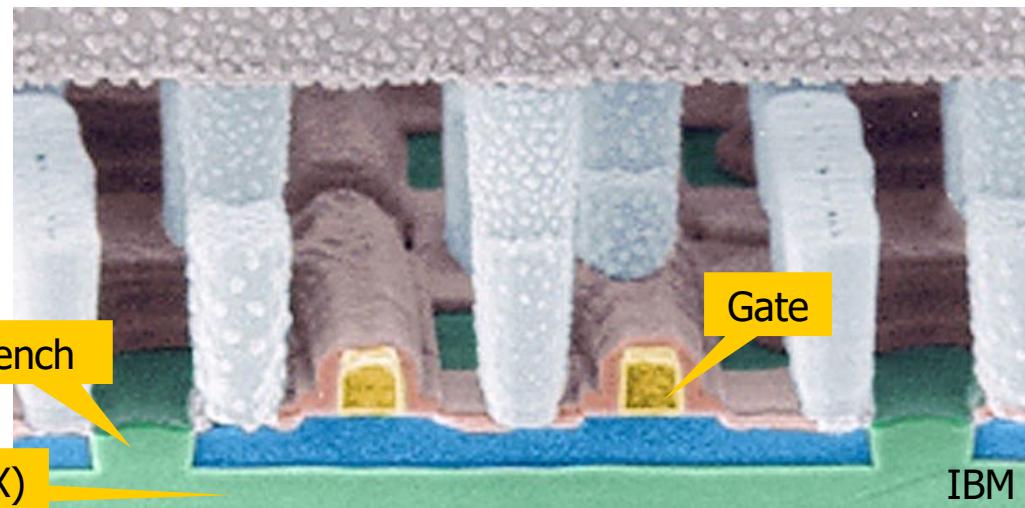
Erweiterungen in modernen Technologien

Isolation der Transistoren

- Das LOCOS kann zu Spannungen im Si führen und muß bei hoher Temperatur durchgeführt werden.
- Eine schonendere Methode ist die **Shallow Trench Isolation** (STI): Vereinfacht gesagt werden hierzu lokal Gräben (trenches) ins Silizium geätzt und mit HDP (High Density Plasma) SiO₂ gefüllt.



- Vorteil der STI ist eine 'flachere' Gateregion, so daß die Lithographie kurzer Gates besser funktioniert
Ist Standard bei Technologien < 250nm!
- Bei **Silicon-On-Insulator** (SOI) oder **Silicon On Sapphire** (SOS) werden die Gräben 'tief' bis zu einer isolierenden Unterlage geätzt.
Oft ist das Substrat SIMOX.
- Vorteile der vollständigen Isolation von MOS/ MOS Gruppen:
 - Kein Leckstrom zwischen Transistoren
 - Kein Substrateffekt
 - Kapazitäten der Wanne u.U. kleiner



Silicided Gates

- Der Widerstand des **Siliziums** (Poly-Si-**Gates** und **Drain/Source**-Gebiete!) wird sehr oft durch eine Behandlung der Oberfläche verkleinert. (RC-Zeiten!)
- Außerdem wird bei (für NMOS und PMOS unterschiedlich) dotierten Gates die (schwache) Diode an der Grenzstelle überbrückt.
- Dazu werden Metalle in die Oberfläche des Siliziums eindiffundiert, so daß sich **TiSi₂**, CoSi₂ ... bilden
- **Polycide** ('Poly + Silicide'):
 - Nach Poly wird eine Silicide Lage aufgebracht
 - Beide werden gemeinsam strukturiert.
- **Salicide** (Self-Aligned Silicide):
 - Poly wird aufgebracht und strukturiert
 - Dann wird großflächig Metall aufgebracht
 - Durch Erwärmen wird an allen offenen Si-Stellen das Silicide gebildet.
 - Überschüssiges Metall wird weggeätzt

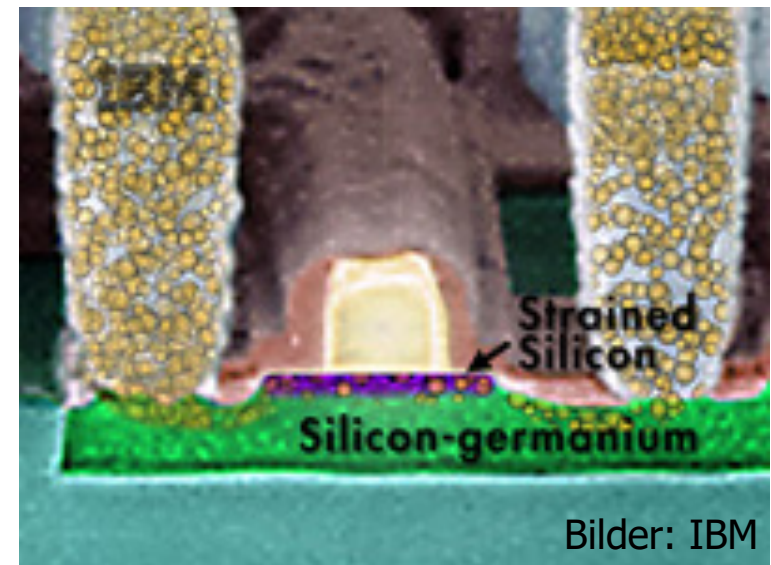
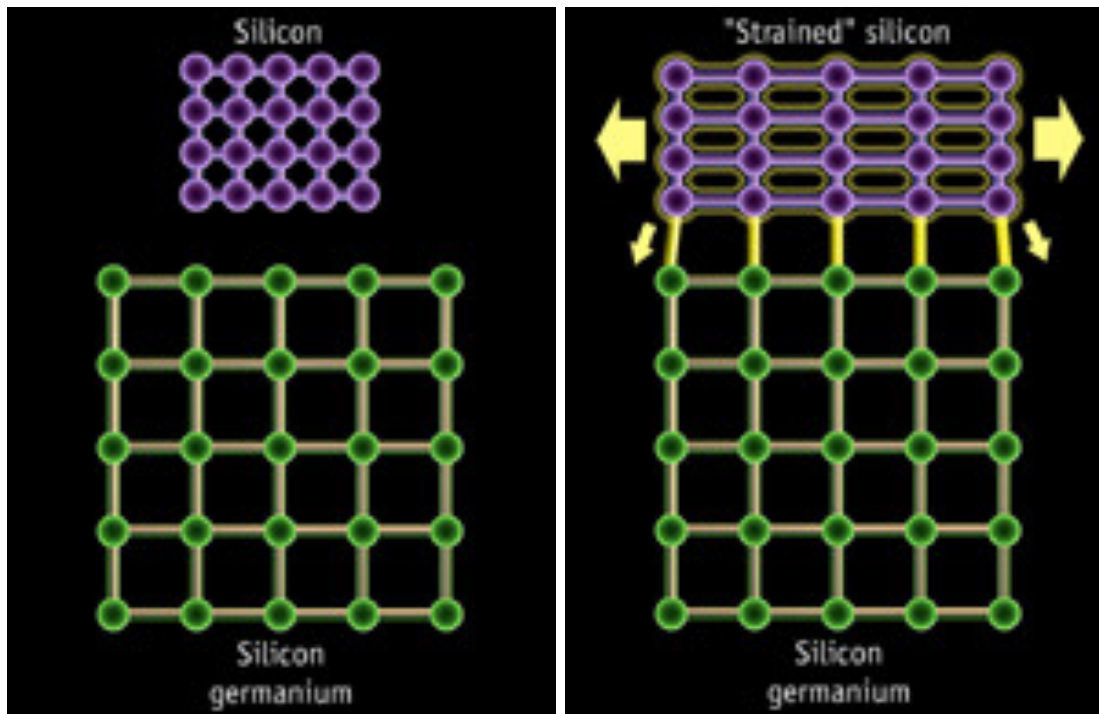
'High-K Dielectrics'

- Für die Transkonduktanz des MOS ist (neben der Mobilität) die Gate (Flächen) Kapazität $C_{ox}/A = \epsilon / d$ entscheidend.
- Mit schrumpfenden Strukturgrößen werden die Gates daher auch immer dünner ($d \rightarrow 0$) um C_{ox} zu erhöhen
- Bei sehr dünnen Gates kommt es zu problematischen Tunnelströmen zwischen Gate und Kanal

- Eine Lösung ist es (Intel), ein dickeres Gate zu verwenden (d größer), das dafür aus einem Material (HfO) mit höherer Dielektrizitätskonstante ϵ besteht. So bleibt C_{ox} hoch, aber Tunnelströme sind unterdrückt.
- Damit konnte die Transkonduktanz sogar gesteigert werden, gleichzeitig die Tunnelströme um Faktoren 25/1000 reduziert werden (NMOS/PMOS).
- Diese 'High-k Dielektrika' werden stetig weiterentwickelt ($\rightarrow \text{Hf}_{1-x}\text{Zr}_x\text{O}$)

Strained Silicon

- Die Mobilität von Elektronen und Löchern erhöht sich, wenn das Kristallgitter gestreckt wird
- Dies wird erreicht, indem man das Si epitaktisch auf ein etwas größeres Gitter (aus einem Silizium-Germanium-Gemisch) aufwachsen läßt



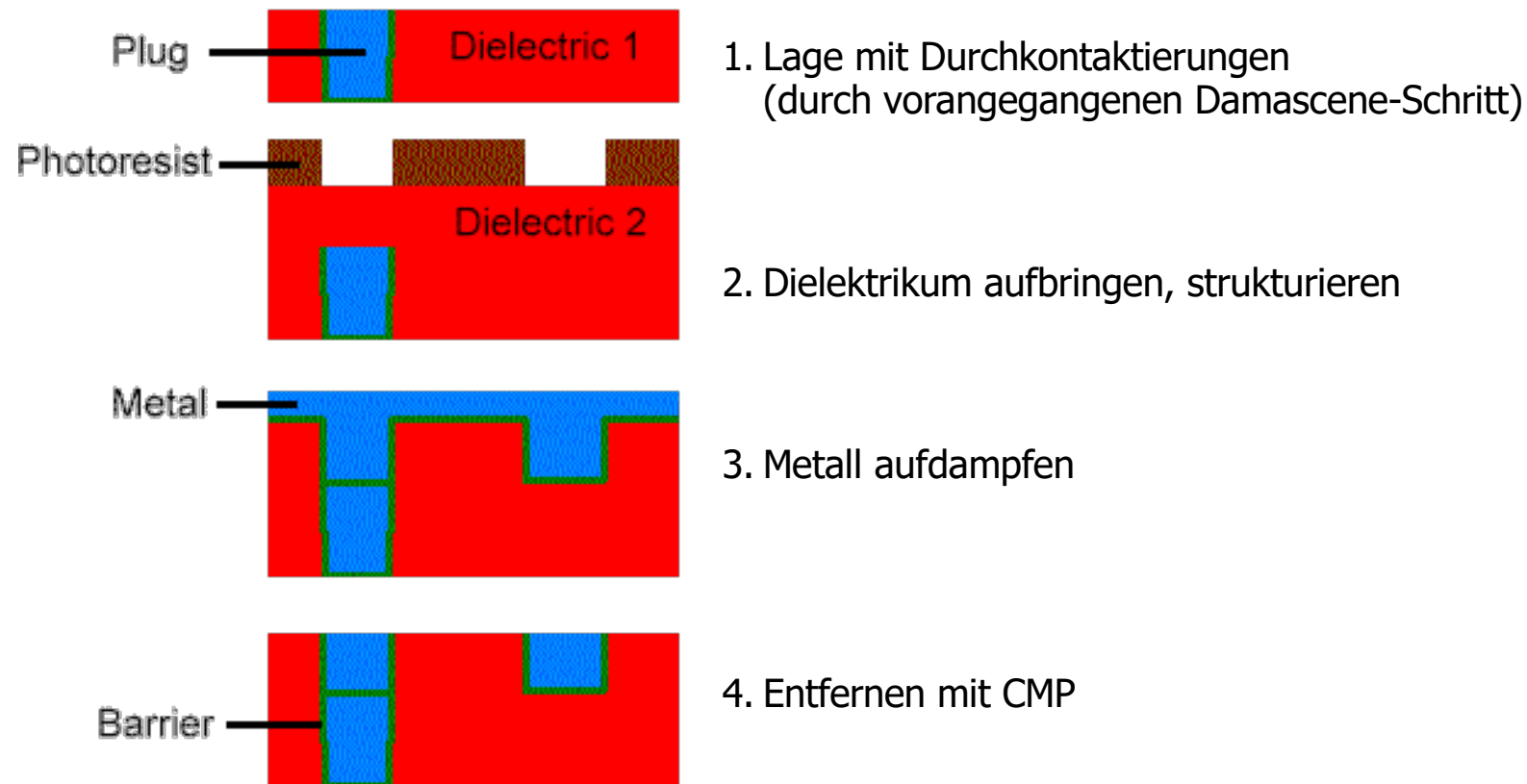
- Intel benutzt diese Technik in seiner 90nm Technologie.
- PMOS (strained mit SiGe) wird 25% schneller, NMOS (strained mit Nitride) wird 10% schneller. Die Prozesskosten erhöhen sich nur um 2%.

Leiter und Isolatoren

- RC-Zeitkonstanten der Leitungen können reduziert werden, indem
 - Der Widerstand der Leiter klein gemacht wird (\Rightarrow **Kupfer**)
 - Die Dielektrizitätskonstante des Isolators reduziert wird (**low ϵ - Dielektrika**)
 - Die Isolatorschichten möglichst dick gemacht werden
Die Herstellung der Kontakte wird dann immer problematischer, da sehr kleine, tiefe Löcher benötigt werden (aspect Ratio = Tiefe/Durchmesser > 2).
 - Die Kontaktlöcher (vias) werden oft mit Wolfram gefüllt.

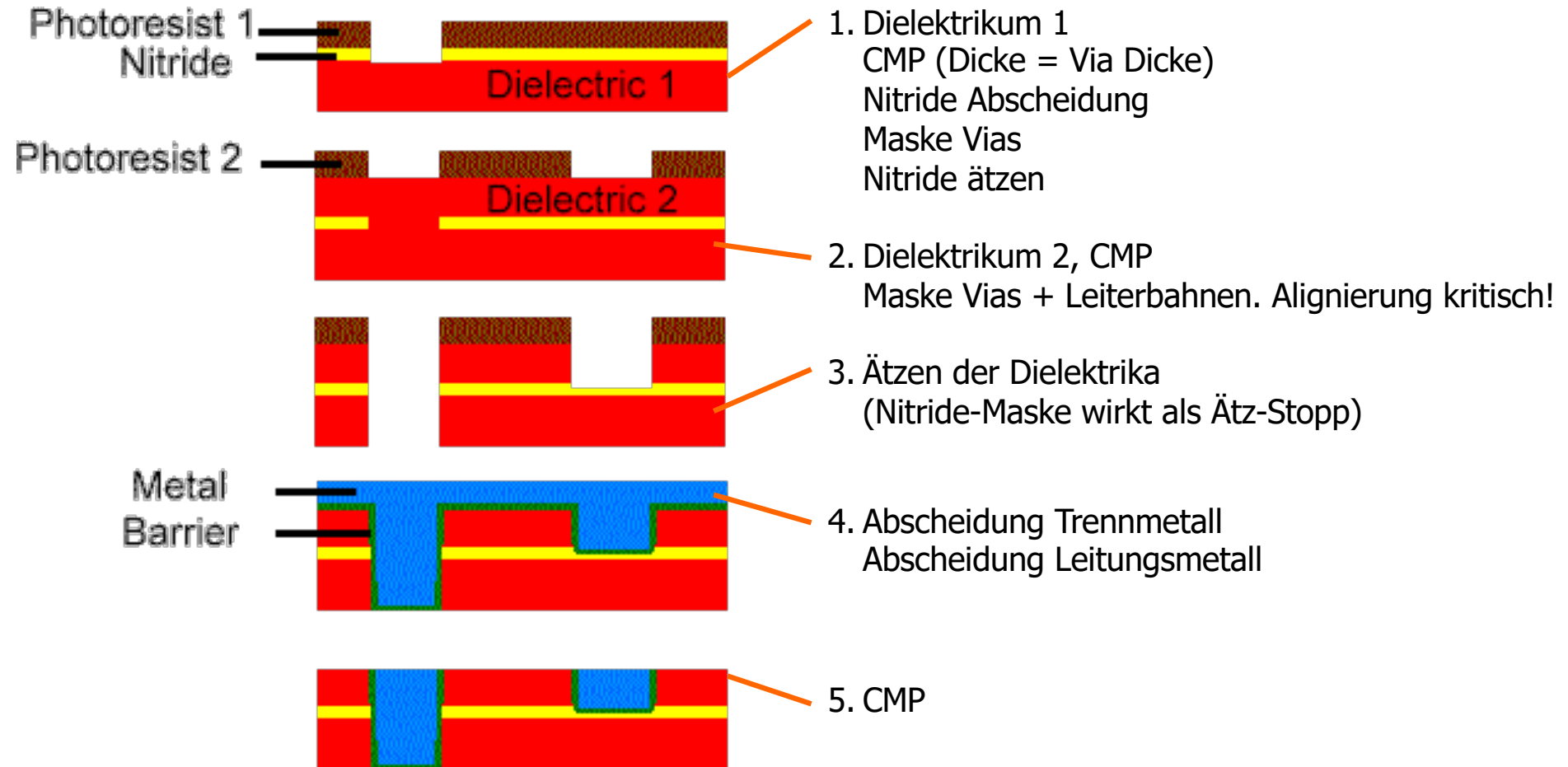
Damascene - Prozeß

- Das Ätzen der Metallagen ist schwierig, insbesondere für **Kupfer** (copper)
- 'Damascene' ist eine Methode, die für kleine Prozesse wichtig wird:
 - Gräben im Dielektrikum mit Metall füllen
 - Dielektrikum + überschüssiges Metall abschleifen (CMP)

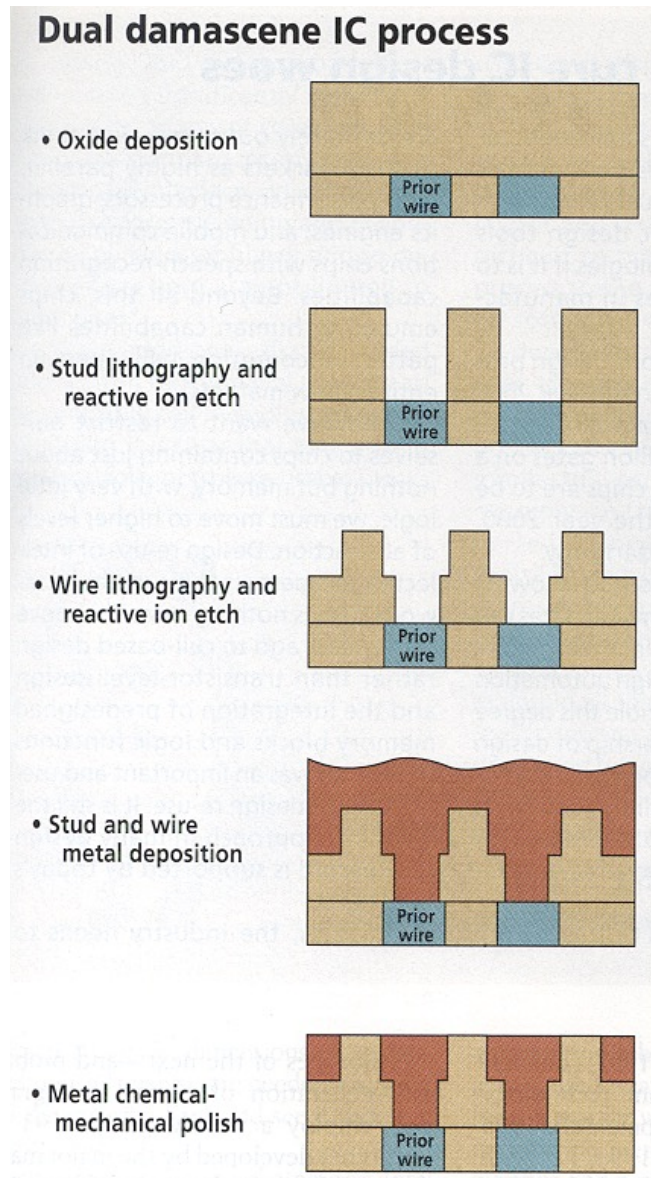


Dual-Damascene

- Vereint die zwei Damascene-Schritte auf vorheriger Folie (einer für Vias, einer für Leiterbahnen)



Damascene @ IBM



Source: IBM Corp.

