

## 1 Paritygenerate

In dieser Aufgabe soll ein Parity-Generate Modul entworfen werden, das für eine beliebige, serielle Eingangsbitfolge blockweise die Parität berechnet. Die Blockgröße soll 3 Bit betragen und die Ausgabe soll „0“ sein, wenn gerade Parität vorliegt, „1“ sonst. Die Ausgabe soll, nachdem ein 3-Bit Block vollständig ist, genau einen Takt lang anliegen, sonst soll „0“ anliegen

<i>Zeit</i>	0	1	2	3	4	5	6	7	8	9
<i>Bitfolge</i>	0	1	0	1	1	0	1	0	1	0
<i>Ausgabe</i>	0	0	0	1	0	0	0	0	0	0

- Erstellen Sie das Zustandsübergangsdiagramm einer Moore-Maschine, die die oben genannten Eigenschaften erfüllt.
- Implementieren Sie den Automaten auf dem FPGA in Verilog. Verwenden Sie case, um die Zustandsübergänge zu beschreiben.  
BTN0 steuert den Dateneingang, BTN1 das reset-Signal. Mit BTN3 wird der Automat getaktet.